

Изобретение относится к вычислительной технике и может быть использовано для цифровой обработки сигналов, спектрального и корреляционного анализа различных процессов.

Известно устройство для быстрого преобразования Фурье, которое содержит умножитель, регистр числа, регистр коэффициента, два регистра результата, сумматор - вычитатель, четыре мультиплексора, два регистра адреса, блок памяти весовых коэффициентов, блок памяти встроенных функций, блок регистровой памяти, регистры старших и младших разрядов операнда, блок сдвига, шифратор порядка, регистр порядка, семь мультиплексоров, три трехстабильных ключа, блок сравнения, синхронизатор [Каневский Ю.С. и др. Устройство для быстрого преобразования Фурье. Авт.св. № 1524066].

Недостатком данного устройства является низкое быстродействие и большие аппаратные затраты, так как вычисления производятся в формате плавающей запятой при использовании всего одного умножителя.

Более высокое быстродействие имеет устройство для вычисления коэффициентов Фурье, содержащее четыре блока умножения, шесть суммирующих блоков, шесть входных регистров, два промежуточных регистра, четыре блока сдвигов и блок управления [Волошин Р.Д., Востриковец Н.С., Коротич Н.И. Устройство для вычисления коэффициентов Фурье. Авт.св. СССР № 736112, кл. G 06 F 15/332].

Недостатком данного устройства является малая точность при использовании его в процессорах быстрого преобразования Фурье, обрабатывающих массивы двоичных чисел с фиксированной запятой. Низкая точность результатов связана с возникновением при сдвиге операндов и быстром накоплении систематических ошибок округления, нарушающих четность и нечетность соответственно действительной и мнимой частей спектров.

Известен процессор быстрого преобразования Фурье, содержащий $M/2$ коммутаторов, причем выход i -го ($i = 1, 3, 5, \dots$) арифметического блока соединен с выходом K -го ($K = i + 1/2$) коммутатора, выход которого подключен к входу $0+1$ -го арифметического блока, выход t -го ($t = 2, 4, 6, \dots$) арифметического блока соединен со вторым 1 -го ($1 = t/2$) умножителя, выход которого соединен со входом $(m + 1)$ -го арифметического блока, причем управляющие входы $M/2$ коммутаторов соединены с выходом счетчика, при этом в 1 -м ($i = 1, M$) арифметического блока второй выход входного коммутатора подключен ко вторым входам сумматора и вычитателя [Бахтияров Г.Д., Орлов Ю.Н. Процессор быстрого преобразования Фурье. Авт.св. СССР № 928362, кл. G 06 F 15/332].

Недостаток данного процессора - большие аппаратные затраты.

Наиболее близким к изобретению является устройство для выполнения быстрого преобразования Фурье, содержащее блок оперативной памяти, арифметический блок, блок хранения весовых коэффициентов, счетчик адресов операнда дешифратор номера итерации, формирователь адресов весовых коэффициентов, счетчик номера итерации, причем первый вход блока оперативной памяти является входом устройства, а первый выход блока оперативной памяти соединен с первым входом арифметического блока, первый выход которого соединен со вторым входом блока оперативной памяти, первый вход счетчика адресов операндов соединен со вторым выходом блока оперативной памяти, первый выход счетчиков адресов операндов соединен с третьим входом блока оперативной памяти и первым входом формирователя адресов весовых коэффициентов, второй вход которого соединен с выходом дешифратора номера итерации и вторым входом счетчика адресов операндов, второй выход которого соединен с входом счетчика номера итерации, выход которого соединен со входом дешифратора номера итерации, выход формирователя адресов весовых коэффициентов соединен с первым входом блока хранения весовых коэффициентов, выход которого соединен со вторым входом арифметического блока, второй выход которого соединен со вторым входом блока хранения весовых коэффициентов. [Немшиков Н.Н., Титов М.А. Устройство для выполнения быстрого преобразования Фурье. Авт.св. СССР № 877555, кл. G 06 F 15/332 (прототип)].

Недостатком известного устройства является низкое быстродействие. Это связано с тем, что обработку операндов по базовой операции алгоритма БПФ выполняет один арифметический блок.

В основу изобретения поставлена задача повышения быстродействия при реализации алгоритма БПФ, для чего устройство для выполнения быстрого преобразования Фурье совершенствуется путем обеспечения условий одновременной реализации двух или четырех базовых операций алгоритма за счет введения в устройство дополнительных арифметических блоков.

Для решения этой задачи в устройство для выполнения быстрого преобразования Фурье, содержащее блок оперативной памяти, блок хранения весовых коэффициентов, формирователь адреса операндов, формирователь адреса весовых коэффициентов, арифметический блок и счетчик номера итерации, причем второй информационный вход и первый выход блока оперативной памяти соединены соответственно с выходом и первым входом первого арифметического блока, второй вход которого соединен с первым выходом блока хранения весовых коэффициентов, управляющий вход которого соединен с выходом формирователя адреса весовых коэффициентов, первый выход формирователя адреса операндов соединен со вторым управляющим входом блока, оперативной памяти, дополнительно введены второй арифметический блок, блок суммирования операндов, блок управления сдвигами, счетчик с обратным переносом и блок управления операциями, причем информационным входом и выходом запуска устройства является соответственно информационный вход блока суммирования операндов и первый вход блока управления операциями, десятый выход которого является выходом признака окончания работы устройства, первый и девятый выходы блока управления операциями соединены со входами счетчика номера итерации, выход которого соединен со вторым входом блока управления операциями, второй, третий и пятый выходы которого соединены соответственно с первым, вторым и третьим управляющими входами блока суммирования операндов, второй и первый выходы которого соединены соответственно с первым управляющим входом блока управления сдвигами и первым информационным входом блока оперативной памяти, первый управляющий вход которого соединен с выходом счетчика с обратным переносом, вход которого соединен с четвертым выходом блока управления операциями, шестой, седьмой и восьмой выходы которого соединены соответственно со вторым, третьим и четвертым входами формирователей адреса операндов и весовых коэффициентов, первые входы которых подключены ко второму выходу блока

управления операциями, восьмой выход которого подключен ко второму управляющему входу блока управления сдвигами, выход которого соединен с третьими входами первого и второго арифметических блоков, второй выход формирователя адреса операндов соединен с третьим управляющим входом блока оперативной памяти, второй и первый входы второго арифметического блока соединены соответственно с первым выходом блока хранения весовых коэффициентов и вторым выходом блока оперативной памяти, третий информационный вход которого соединен с выходом второго арифметического блока, первый и второй информационные входы блока управления сдвигами соединены с выходами соответственно первого и второго арифметических блоков.

Соответственный анализ с прототипом показывает, что заявляемое устройство для выполнения быстрого преобразования Фурье отличается тем, что для блоков оперативной памяти и хранения весовых коэффициентов заданного объема подключается параллельно функционирующих два или четыре арифметических блока, обрабатывающих двоичные числа в формате фиксированной запятой, что обеспечивает высокое быстродействие обработки операндов с достаточной для практического использования точностью результатов обработки входных данных.

Таким образом, заявляемое устройство соответствует критерию изобретения "новизна". Сравнение заявляемого решения не только с прототипом, но и с другими техническими решениями в данной области техники, не позволило выявить в них признаки, отличающие заявляемое решение от прототипа, что позволяет сделать вывод о соответствии критерию "существенные отличия".

На фиг.1 и 2 представлены функциональные схемы устройства для выполнения быстрого преобразования Фурье, содержащие соответственно два и четыре арифметических блока; на фиг.3 - направленный граф алгоритме ВПФ с разрежением по времени; на фиг.4 - временная диаграмма работы устройства; на фиг.5 - графики экспериментальной оценки точности реализации алгоритма ВПФ в формате двоичных чисел с фиксированной запятой; на фиг.6 - график значений весовых коэффициентов, - на фиг.7 - график значений округлений.

Устройство (фиг.1 и 2) содержит: блок суммирования операндов 1, счетчик с обратным переносом 2, блок оперативной памяти 3, блок управления сдвигами 4, арифметические блоки 5, 5-1; 5-2; 5-3; 5-4: соответственно первый, второй, третий и четвертый арифметические блоки, блок хранения весовых коэффициентов 6, формирователь адреса операндов 7, формирователь адреса весовых коэффициентов 8, блок управления операциями 9, счетчик номера итерации 10.

Информационным входом устройства (фиг.1) является информационный вход блока суммирования операндов 1, входом запуска и выходом признака окончания работы устройства является соответственно первый вход и десятый выход блока управления операциями 9. Первый и второй выходы блока суммирования операндов 1 соединены соответственно с первым информационным входом блока оперативной памяти 3 и первым информационным входом блока управления сдвигами 4, второй и третий информационные входы которого соединены с выходами соответственно первого и второго арифметических блоков 5, а также подключены ко второму и третьему информационным входам блока оперативной памяти 3, первый и второй выходы которого соединены с первыми информационными входами соответственно первого и второго арифметических блоков 5, вторые информационные входы которых соединены с выходом блока хранения весовых коэффициентов 6, третьи информационные входы арифметических блоков 5 подключены к выходу блока управления сдвигами 4. Первый и девятый выходы блока управления операциями 9 соединены со входами счетчика номера итерации 10, выход которого соединен со вторым входом блока управления операциями 9, второй, шестой, седьмой и восьмой выходы которого соединены соответственно с первым, вторым, третьим и четвертым входами формирователя адреса операндов 8 и формирователя адреса весовых коэффициентов 8, выход которого соединен с адресным входом блока хранения весовых коэффициентов 6. Первый, второй и третий управляющие входы блока суммирования операндов 1 подключены ко второму, третьему и пятому выходам блока управления операциями 9, четвертый выход которого соединен со входом счетчика с обратным переносом 2, выход которого соединен с первым адресным входом блока оперативной памяти 3, второй и третий адресные входы которого соединены соответственно с первым и вторым выходами формирователя адреса операндов 7. Устройство для выполнения быстрого преобразования Фурье, содержащие четыре арифметических блока 5, изображено на фиг.2 и содержит все блоки и связи между ними, как это показано на фиг.1 и описано ниже.

Дополнительные связи устройства, представленного на фиг.2, следующие.

Первые информационные входы третьего и четвертого арифметических блоков 5-2, 5-4 соединены соответственно с третьим и четвертым выходами блока оперативной памяти 3, четвертый и пятый входы которого соединены с выходами соответственно третьего и четвертого арифметических блоков 5 и подключены соответственно к четвертому и пятому информационным входам блока управления сдвигами 4, выход которого подключен к третьим информационным входам третьего и четвертого арифметических блоков 5, вторые информационные входы которых подключены ко второму выходу блока 6 хранения весовых коэффициентов.

Устройство для выполнения быстрого преобразования Фурье ВПФ вычисляет дискретное преобразование Фурье по алгоритму с разрежением по времени и двоично-инверсным порядком следования отсчетов на входе. В настоящее время разработано большое количество вариантов алгоритма БПФ, направленные графы которых приведены в книге Рабинер Л., Гоулц Б. Теория и применение цифровой обработки сигналов. М., Мир, 1978. Направленный граф алгоритма БПФ, реализуемого устройства, приведен на фиг.3.

Устройство для выполнения быстрого преобразования Фурье имеет два (фиг.1) или четыре (фиг.2) параллельно работающих арифметических блоков 5, которые преобразовывают операнды по базовой операции:

$$\begin{aligned} A_i(k) &= A_{i-1}(k) + A_{i-1}(l) \cdot W_N^P, \\ A_i(l) &= A_{i-1}(k) - A_{i-1}(l) \cdot W_N^P, \\ W_N^P &= \cos \frac{2\pi}{N}P - j \cdot \sin \frac{2\pi}{N}P = \cos \varphi(P) - \\ &- j \cdot \sin \varphi(P), \end{aligned} \quad (1)$$

где $N = 2^n$ - длина массива операндов;

$i = 1, 2, \dots, n$ - номер очередного этапа преобразования операндов;

$P = 0, (N/2-1)$ - номер весового (поворачивающего) коэффициента.

Таблица весовых коэффициентов W_N^P хранится в блоке памяти 6 и обеспечивает реализацию алгоритма БПФ массивов операндов длиной $N \leq N_m$; N_m - верхнее, значение длины массивов.

Введем обозначения:

$$\begin{aligned} A(k) &= a(k) + j \cdot b(k); \quad A(l) = a(l) + j \cdot b(l), \\ W_N^P &= \cos \varphi(P) - j \cdot \sin \varphi(P) = U_P - j \cdot V_P. \end{aligned} \quad (2)$$

Тогда базовая операция алгоритма БПФ (1) в развернутом виде имеет соотношения:

$$\begin{aligned} a_i(k) &= a_{i-1}(k) + [a_{i-1}(l) \cdot U_P + b_{i-1}(l) \cdot V_P], \\ a_i(l) &= a_{i-1}(k) - [a_{i-1}(l) \cdot U_P + b_{i-1}(l) \cdot V_P], \\ b_i(k) &= b_{i-1}(k) + [b_{i-1}(l) \cdot U_P - a_{i-1}(l) \cdot V_P], \\ b_i(l) &= b_{i-1}(k) - [b_{i-1}(l) \cdot U_P - a_{i-1}(l) \cdot V_P]. \end{aligned} \quad (3)$$

Высокое быстродействие преобразования операндов по базовой операции (3) достигается в формате двоичных чисел с фиксированной запятой. Примером высокопроизводительного арифметического блока 5 может быть устройство для вычисления преобразования Фурье по авт.св. СССР № 736112, 1980. Для обеспечения высокой точности в указанном устройстве по авт.св. № 736112 следует перед выходом чисел $a_i(k)$; $a_i(l)$; $b_i(k)$; $b_i(l)$ округлять таким образом, чтобы исключить возникновение и накопление систематических ошибок.

Предлагаемое устройство для выполнения быстрого преобразования Фурье может содержать два (фиг.1) или четыре (фиг.2) параллельно функционирующих арифметических блоков 5, реализующих базовую операцию (3) для различных операндов $A(k)$; $A(l)$ и поворачивании коэффициентов $W_N^P = (U_P - j \cdot V_P)$.

Два арифметических блока устройства по функциональной схеме фиг.1 обрабатывают одновременно две пары операндов

$$\{A_1 = (a_1 + j \cdot b_1); \quad A_2 = (a_2 + j \cdot b_2)\}; \quad \{A_3 = (a_3 + j \cdot b_3); \quad A_4 = (a_4 + j \cdot b_4)\},$$

для которых угол поворота и весовых коэффициентах различаются на 90° .

Используя формулы приведения для тригонометрических функций, базовая операция БПФ (3) для операндов $(A_1; A_2)$ и $(A_1; A_4)$ с весовыми коэффициентами соответственно $(W_N^P; W_N^{P+N/4})$ и $(W_N^{P+N/4} = -(V_P + j \cdot U_P)$ принимает вид:

$$\begin{aligned} \{a_{1,2} &= a_1 \pm (a_2 \cdot U_P + b_2 \cdot V_P) \\ b_{1,2} &= b_1 \pm (b_2 \cdot U_P - a_2 \cdot V_P) \end{aligned} \quad (4a)$$

$$p = 0, (N/4-1)$$

$$\begin{aligned} \{a_{3,4} &= a_3 \pm (b_4 \cdot U_P - a_4 \cdot V_P) \\ b_{3,4} &= b_3 \pm (a_4 \cdot U_P + b_4 \cdot V_P) \end{aligned} \quad (4b)$$

Арифметические блоки 5, реализующие соотношения соответственно (4a) и (4б), имеют одинаковое устройство. Обеспечение различий алгоритмов (4a) и (4б) осуществляется различием подключения входов и выходов блоков, как показано на фиг.4a и фиг.4б соответственно.

Так как номер весовой функции $p = 0, 1, 2, \dots, (N/4-1)$ соответствует углу поворота $0^\circ \leq \varphi(p) < 90^\circ$, то в блоке 6

хранения весовых коэффициентов достаточно хранить $N_m/2$ значений функции $\sin \frac{2\pi}{N_m}p$; $p = 0, 1, 2, (N_m/2-1)$, при этом имеем:

$$\begin{aligned} U_P &= \cos \frac{2\pi}{N_m}p = \sin \frac{2\pi}{N_m}(p + N_m/4); \quad V_P = \\ &= \sin \frac{2\pi}{N_m}p, \\ p &= 0, 1, 2, \dots, (N_m/4-1). \end{aligned} \quad (5)$$

$$\sin \frac{2\pi}{N_m}p$$

Таблица значений функции $\sin \frac{2\pi}{N_m}p$ обеспечивает вычисление преобразования Фурье для массивов операндов $A(k)$ произвольной длины при $k = 0, 1, 2, 3, \dots, (N-1)$; $N = 2n \leq N_m = 2^m$.

Максимальный размер массивов N_m определяется из практических условий применения предлагаемого устройства.

Четыре арифметических блока устройства по функциональной схеме фиг.2 обрабатывает одновременно четыре пары операндов $(A_1; A_2)$; $(A_3; A_4)$; $(A_5; A_6)$; $(A_7; A_8)$ по базовым операциям соответственно:

$$\begin{aligned}
\begin{cases} a_{1,2} = a_1 \pm (a_2 \cdot U_p + b_2 \cdot V_p) \\ b_{1,2} = b_1 \pm (b_2 \cdot U_p - a_2 \cdot V_p) \end{cases} & (6a) \\
\begin{cases} a_{3,4} = a_3 \pm (b_4 \cdot U_p - a_4 \cdot V_p) \\ b_{3,4} = b_3 \pm (a_4 \cdot U_p + b_4 \cdot V_p) \end{cases} & (6b) \\
\begin{cases} a_{5,6} = a_5 \pm (a_6 \cdot U_q + b_6 \cdot V_q) \\ b_{5,6} = b_5 \pm (b_6 \cdot U_q - a_6 \cdot V_q) \end{cases} & (6a) \\
\begin{cases} a_{7,8} = a_7 \pm (b_8 \cdot U_q - a_8 \cdot V_q) \\ b_{7,8} = b_7 \pm (a_8 \cdot U_q + b_8 \cdot V_q) \end{cases} & (6r) \\
p = 0, 1, 2, \dots, (N/8-1); q = p + N/8.
\end{aligned}$$

Фиг.5 наглядно поясняет выборку функций V_p, V_q, U_p, U_q из таблицы синусов $\sin \frac{2\pi}{N} r$; $r = 0, (N/2-1)$,

хранимых в блоке памяти 6. Если разбить таблицу синусов на четыре части, то функции V_p, V_q, U_p, U_q выбираются соответственно из первой, второй, третьей и четвертой частей таблицы.

Как видно из направленного графа алгоритма БПФ фиг.3, на входе операнды расположены в двоично-инверсном порядке. Количество операндов равно $N = 2^n$, тогда порядковый номер кодируется n -разрядным двоичным числом. Прямой и двоично-инверсный номера кодируются соответственно, как показано ниже:

прямой код $X_{n-1} X_{n-2} \dots X_1 X_0$, (7)

двоично-инверсный $X_0 X_1 \dots X_{n-2} X_{n-1}$.

Двоично-инверсный порядок следования отсчетов обеспечивает счетчик с обратным переносом, т.е. перенос единиц осуществляется в сторону младших разрядов. В качестве двоично-инверсной "1" в счетчик должна поступать величина $N/2$, код которой имеет вид $100\dots00$, где $n = \log_2 N$, $(n-1)$ раз.

В известном устройстве-прототипе поступающие операнды размещаются в блоке памяти по адресам, вырабатываемых счетчиком с обратным переносом.

В предлагаемом устройстве первый этап преобразования операндов для варианта с двумя арифметическими блоками 5 (фиг. 1) или два первых этапа - для варианта, когда имеется четыре арифметических блока 5 (фиг 2) производится в блоке суммирования операндов по алгоритмам.

Вариант в соответствии с фиг.1:

$$\begin{aligned}
\begin{cases} a_k = a_k + a_{k+N/2} & a_{k+N/2} = a_k - a_{k+N/2} \\ b_k = b_k + b_{k+N/2} & b_{k+N/2} = b_k - b_{k+N/2} \end{cases} & (8) \\
k = 0, (N/2-1).
\end{aligned}$$

Варианты в соответствии с фиг.2:

$$\begin{aligned}
a^k &= (a_k + a_{k+2N/4}) + (a_{k+N/4} + a_{k+3N/4}); \\
a_{k+N/4} &= (a_k + a_{k+2N/4}) - (a_{k+N/4} + a_{k+3N/4}); \\
a_{k+2N/4} &= (a_k - a_{k+2N/2}) + (b_{k+N/4}) - b_{k+3N/4}; \\
a_{k+3N/4} &= (a_k - a_{k+2N/4}) - (b_{k+N/4} - \\
&- b_{k+3N/4}); \\
b_k &= (b_k + b_{k+2N/4}) + (b_{k+N/4} + b_{k+3N/4}), \quad (9) \\
b_{k+N/4} &= (b_k + b_{k+2N/4}) - (b_{k+N/4} + b_{k+3N/4}), \\
b_{k+2N/4} &= (b_k - b_{k+2N/4}) - (a_{k+N/4} - \\
&- a_{k+3N/4}), \\
b_{k+3N/4} &= (b_k - b_{k+2N/4}) + (a_{k+N/4} - \\
&- a_{k+3N/4}), \\
k &= 0, (N/4-1).
\end{aligned}$$

Соотношения (8) или (9) соответственно в первом или втором варианте реализуются в блоке суммирования операндов 1, а группы чисел

a_k, b_k или $a_k, a_{k+N/4}, a_{k+2N/4}, a_{k+3N/4}$ (10)

$a_{k+N/2}, b_{k+N/2}, b_k, b_{k+N/4}, b_{k+2N/4}, b_{k+3N/4}$ записываются в блок оперативной памяти в двоично-инверсном порядке следования групп. Так как количество групп равно соответственно $N/2, N/4$, то в качестве двоично-инверсной "1" в счетчик 2 с обратным переносом поступают соответственно величины $N/4$ или $N/8$.

После суммирования операндов в блоке 1 и размещения групп чисел (10) в двоично-инверсном порядке устройство переходит к $(n-1)$ или $(n-2)$ этапам преобразования операндов по базовым операциям соответственно по соотношениям (4) или (6).

В соответствии с алгоритмом БПФ, представленного наглядно с помощью направленного графа фиг.3, определим правила формирования адресов операндов ($A_k = a_k + j \cdot b_k$) и весовых коэффициентов ($W_N^P = U_p - j \cdot V_p$) для базовых операций по соотношениям (4) или (6).

Введем обозначения параметров, характеризующих правила выбора операндов A_k , весовых коэффициентов W_N^P и переходов на различных этапах преобразования операндов по базовым операциям (4) или (6) из подмассива в подмассив.

k_1 - количество подмассивов на заданном этапе преобразования операндов A_k ;

k_2 - размер подмассивов операндов;

k_3 - шаг выборки операндов в базовых операциях соответственно (4) или (6) группы $(A_1; A_2; A_3; A_4)$ или $(A_1; A_2; A_3; A_4; A_5; A_6; A_7; A_8)$;

k_4 - шаг выборки весовых коэффициентов, или

k_5 - шаг установки исходного номера отсчета для операндов $(A_1; A_2)$ или $(A_1, A_2; A_3; A_4)$ при переходе к очередному подмассиву.

Для варианта устройства (фиг. 1), имеющего два параллельно работающих арифметических блока 5,

этапы преобразования операндов по базовой операции (4) при $i = 2, 3, \dots, n$ имеют параметры:

$$\begin{aligned} k_1 &= N/4; N/8; \dots 2; 1 \\ k_2 &= 4; 8; \dots N/2; N \\ k_3 &= 1; 2; \dots N/8; N/4 \\ k_4 &= N_m/4; N_m/8; \dots 2N_m/N; N_m/N \\ k_5 &= 3; 6; \dots 3N/8; 3N/4. \end{aligned} \quad (11)$$

для варианта устройства (фиг.2), имеющего четыре одновременно работающих арифметических блока 5 этапы преобразования операндов по базовой операции (6) при $i = 3, 4, \dots, n$ имеют параметры:

$$\begin{aligned} k_1 &= N/8; N/16; \dots 2; 1 \\ k_2 &= 8; 16; \dots N/2; N \\ k_3 &= 1; 2; \dots N/16; N/8 \\ k_4 &= N_m/8; N_m/16; \dots 2N_m/N; N_m/N \\ k_5 &= 7; 14; \dots 7N/16; 7N/8 \end{aligned} \quad (12)$$

Предлагаемое устройство для выполнения быстрого преобразования Фурье работает следующим образом.

Синхронизацию функционирования всех блоков осуществляет блок управления операциями 9, который на своих выходах вырабатывает серии управляющих импульсов. Устройство запускается по сигналу N , поступающему на первый вход блока управления операциями 9, временная диаграмма функционирования которого приведена на фиг.6. После поступления сигнала N на первом выходе блока управления 9 вырабатывается импульс $B1$, который поступает в счетчик номера итерации 10. В качестве входного сигнала N поступает код длины обрабатываемого массива операндов $N = 2^n$. Счетчик номера итерации устанавливается в состояние $(n-1)$ (два арифметических блока 5 в устройстве) или в состояние $(n-2)$ (четыре блока 5).

На втором выходе блока управления операциями 9 вырабатывается импульс $2B$, который поступает в блок суммирования 1, счетчик 2 с обратным переносом и формирователи адреса операндов 7 и весовых коэффициентов 8. По этому импульсу сбрасываются счетчик 2 и схема выработки максимального значения выходных значений чисел блока суммирования 1, а формирователи адреса 7,8 устанавливаются в начальное положение.

После этого вырабатывается серия импульсов $3B$ и $4B$ соответственно на третьем и четвертом выходах блока 9 управления операциями.

Если устройство (фиг.1) содержит блок суммирования операндов 1, реализующий соотношения (8), то вырабатывается $N/2$ групп импульсов ($3B$, $4B$). В устройстве по фиг.2 вырабатывается $N/4$ групп импульсов ($3B$, $4B$). По каждому импульсу $3B$ блок суммирования операндов 1 производит вычисление операндов по соотношениям (8) или (9) соответственно с одновременным вырабатыванием максимального абсолютного значения из всего массива выходных чисел $(a_k; b_k)$, т.е. находится величина $D_m = \max\{(a_k); (b_k)\}; k = 0, (N-1)$.

По каждому импульсу $4B$ счетчик 2 переходит в очередное двоично-инверсное состояние, содержимое которого является адресом записи выходных данных блока 1 в блок оперативной памяти 3.

После выработки серии импульсов ($3B$, $4B$) на пятом выходе блока управления операциями 9 вырабатывается импульс $5B$, по которому блок суммирования операндов 1 выдает величину $D_m = \max\{(a_k); (b_k)\}$ в блок управления сдвигами 4, который вырабатывает коэффициент масштабирования выходных операндов в арифметических блоках 5 на последующих этапах преобразования операндов по базовой операции БПФ (4) или (6) соответственно.

После этого устройство переходит к i -м этапам преобразования операндов $A_{i-1}(k)$ по базовой операции БПФ: для устройства по фиг. 1 - соотношения (4) для четырех операндов ($i = 2, 3, 4, \dots, n$), а для устройства по фиг.2 - соотношения (6) для восьми операндов ($i = 3, 4, \dots, n$).

На каждом i -м преобразовании входных операндов $A_{i-1}(k)$ в выходные $A_i(k)$ по базовой операции (4) или (6) вырабатывается серия соответственно из $N/4$ или $N/8$ групп импульсов ($6B$, $7B$) на шестом и седьмом выходах блока управления операциями 9.

При поступлении каждого импульса $6B$ формирователь 7 адреса операндов выдает адреса чтения операндов $A_{i-1}(k)$ из блока 3 оперативной памяти, а формирователь 8 весовых коэффициентов - адреса коэффициентов W_N^P из блока 6 хранения весовых коэффициентов. Операнды $A_{i-1}(k)$ и весовые коэффициенты W_N^P поступают в арифметические блоки 5, которые преобразуют входные данные по базовой операции (4) или (6) соответственно для вариантов устройства фиг. 1 или фиг.2. Выходные операнды $A_i(k)$ поступают в блок 3 оперативной памяти в ячейки с замещением по аналогичным адресам формирователя 7 адресе операндов, а также в блок 4 управления сдвигами для выработки коэффициента масштабирования выходных операндов $A_i(k)$ на следующем $i = (i+1)$ этапе преобразования операндов. По сигналу $7B$ формирователи 7,8 адреса операндов и весовых коэффициентов вырабатывают очередные адреса. Адреса выборки операндов увеличиваются на 1, а при условии $k_2(11)$ или (12) групп импульсов ($6B$, $7B$) дополнительно адреса операндов увеличиваются на величину k_5 , что обеспечивает переход к началу следующего подмассива операндов. В формирователе 8 адреса весовых коэффициентов адреса выборки коэффициентов W_N^P увеличивается на величину k_4 . После поступления очередной серии из k_3 групп импульсов ($6B$, $7B$) формирователь 8 настраивается на выдачу коэффициентов W_N^P (фиг.1) или $W_N^P; W_N^Q$ (фиг.2); так каждый подмассив операндов начинает преобразовываться по базовым операциям соответственно по соотношениям (4) или (6) с самого начала.

После выдачи серии сигналов ($6B$, $7B$) на каждом i -м этапе преобразования операндов $A(k)$ (размер серии $N/4$ (фиг.1) или $N/8$ (фиг.2) вырабатываются импульсы $8B$ и $9B$ на восьмом и девятом выходах блока 9 управления операциями. По импульсу $8B$ формирователь 7 адреса операндов вырабатывает начальные адреса всего массива операндов $A(k)$ и формирует очередные значения величин k_1, k_2, k_3, k_4

соответствующим сдвигом вправо или влево на один разряд, в соответствии с соотношениями (11) или (12). Формирователь 8 адреса весовых коэффициентов $W_N^P; W_N^Q$ уменьшает шаг k_4 в два раза.

Импульс 9В уменьшает счетчик 10 номера итераций на единицу. Если его состояние после поступления импульса 9В не равно нулю, то вырабатывается очередная серия из $N/4$ или $N/8$ групп импульсов (6В, 7В), и устройство производит очередной $l = (i+1)$ -й этап преобразования операндов.

После выполнения $(n-1)$ (фиг.1) или $(n-2)$ (фиг.2) этапов преобразования операндов по базовой операции соответственно (4) или (6) счетчик 10 номера итерации переходит в нулевое состояние и на его выходе вырабатывается импульс, по которому блок 9 управления операциями вырабатывает на своем десятом выходе импульс 10В, который поступает на выход устройства для выполнения быстрого преобразования Фурье как признак окончания вычисления преобразования Фурье.

В итоге блок 3 оперативной памяти содержит результаты

$$Z(K) = \sum_{n=0}^{N-1} Z(n) e^{-j \frac{2\pi}{N} K \cdot n}.$$

вычисленного по алгоритму БПФ (фиг.3).

Блок управления операциями 9, блок управления сдвигами 4 и формирователи 7,8 являются известными устройствами.

В устройство для вычисления преобразования Фурье по авт.св. СССР №736112, которое можно использовать в качестве арифметических блоков 5 предлагаемого устройства содержится блок управления сдвигами. Так как в предлагаемом устройстве работает одновременно два или четыре арифметических блока 5, то целесообразно этот блок 4 иметь один, куда поступают все преобразованные операнды $A(k)$ на основе которых вырабатывается коэффициент масштабирования на очередном $(i+1)$ -м этапе работы устройства.

Входные данные $A_0(k)$ в устройство должны поступать после предварительного масштабирования с таким расчетом, чтобы суммирование в блоке 1 не приводило к переполнению разрядной сетки устройства, т.е. при варианте фиг.1 должен быть один резервный разряд, а при варианте фиг.2 - два резервных разряда.

Формирователи 7,8 работают в соответствии с алгоритмом фиг.3 и вводят во все известные устройства выполнения быстрого преобразования Фурье.

Блок управления операциями 9 является известным распределителем импульсов, типовое функционирование и принципиальная схема которого приведены в книге Самофалов К.Г., Корнейчук В.И., Тарасенко В.П. Цифровые электронно-вычислительные машины. Киев, В. школа, 1983, с. 380.

В настоящее время для цифровой обработки сигналов в радио и гидролокации, сейсморазведке и других областях науки и техники широко используются 16-разрядная вычислительная техника. Повышение производительности устройства можно достигнуть за счет осуществления высокоточных целочисленных вычислений.

Оцифрование сигналов с помощью 12-14 разрядных АЦП дает точность входных данных с эффективной относительной ошибкой

$$\delta_{вх} = \frac{\sigma_{ош}}{\sigma_{сигн}} \approx 0.2-0.5\%.$$

Если устройство обеспечивает вычисление преобразования Фурье по алгоритму БПФ, при которой эффективная относительная ошибка округления операндов

$$\delta_{выг} = \frac{\sigma_{окр}}{\sigma_{сигн}} \ll \delta_{вх},$$

то вычислительные ошибки не влияют на выходные результаты. Для обеспечения условий высокоточных вычислений необходимо производить округления чисел по правилу "1" добавляется при остатке $\Delta > 0,5$, а также при $\Delta = 0,5$ при условии округления в сторону нечетных чисел.

Экспериментальные исследования точности реализации алгоритма БПФ на ЭВМ типа ДЭК-3, ЕС-1840 на реальных и модельных сигналах показали, что при $N \leq 4096$ отсчетов $\delta_{выг} < 0,05\% \ll \delta_{вх}$ (оцифрование с помощью 12-14 разрядных АЦП).

Результаты экспериментальных исследований приведены на фиг.7 при различных методах округления промежуточных результатов.

Экспериментальные исследования показывают, что 16-ти разрядные процессоры и специальные платы БПФ позволяют с высокой скоростью вычислять преобразование Фурье при обработке сигналов различной физической природы.

При оценке точности вычисления преобразования Фурье округление операндов в базовых операциях БПФ операнды масштабировались следующим образом;

операнды масштабируются на входе базовой операции с округлением методом усечения;

операнды масштабируются на выходе базовой операции с округлением методом усечения;

операнды масштабируются на выходе базовой операции с округлением в сторону нечетных чисел, как описано выше. Этот метод обеспечивает высокую точность целочисленной реализации алгоритма БПФ.

Быстродействие устройства определяется временем вычисления преобразования Фурье.

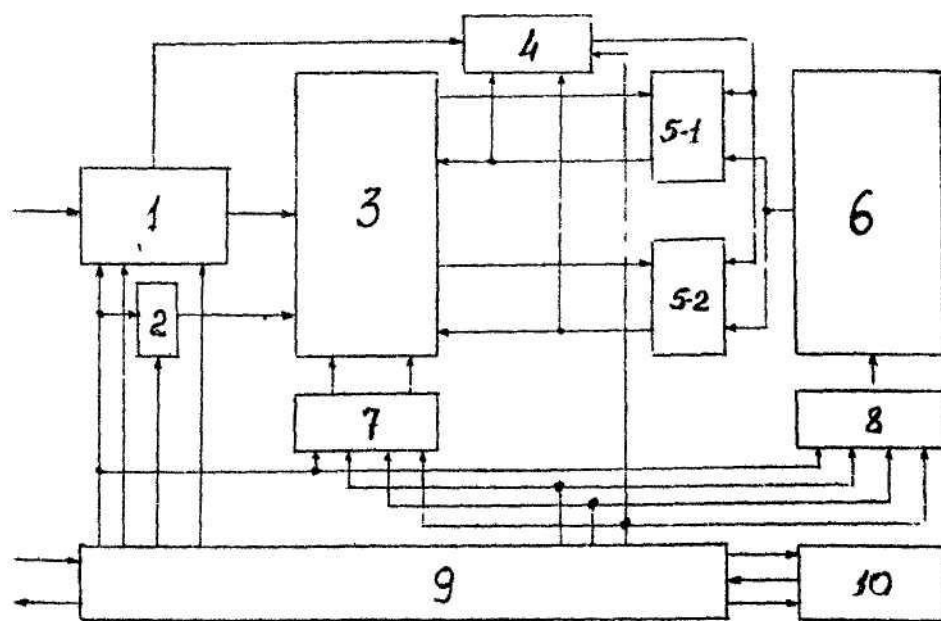
Положительный эффект от использования предлагаемого устройства для выполнения быстрого преобразования Фурье заключается в том, что одновременно производится обработка двух или четырех пар операндов по базовой операции алгоритма, а в известном устройстве только одна пара операндов.

Использование описанного выше метода округления промежуточного результата в

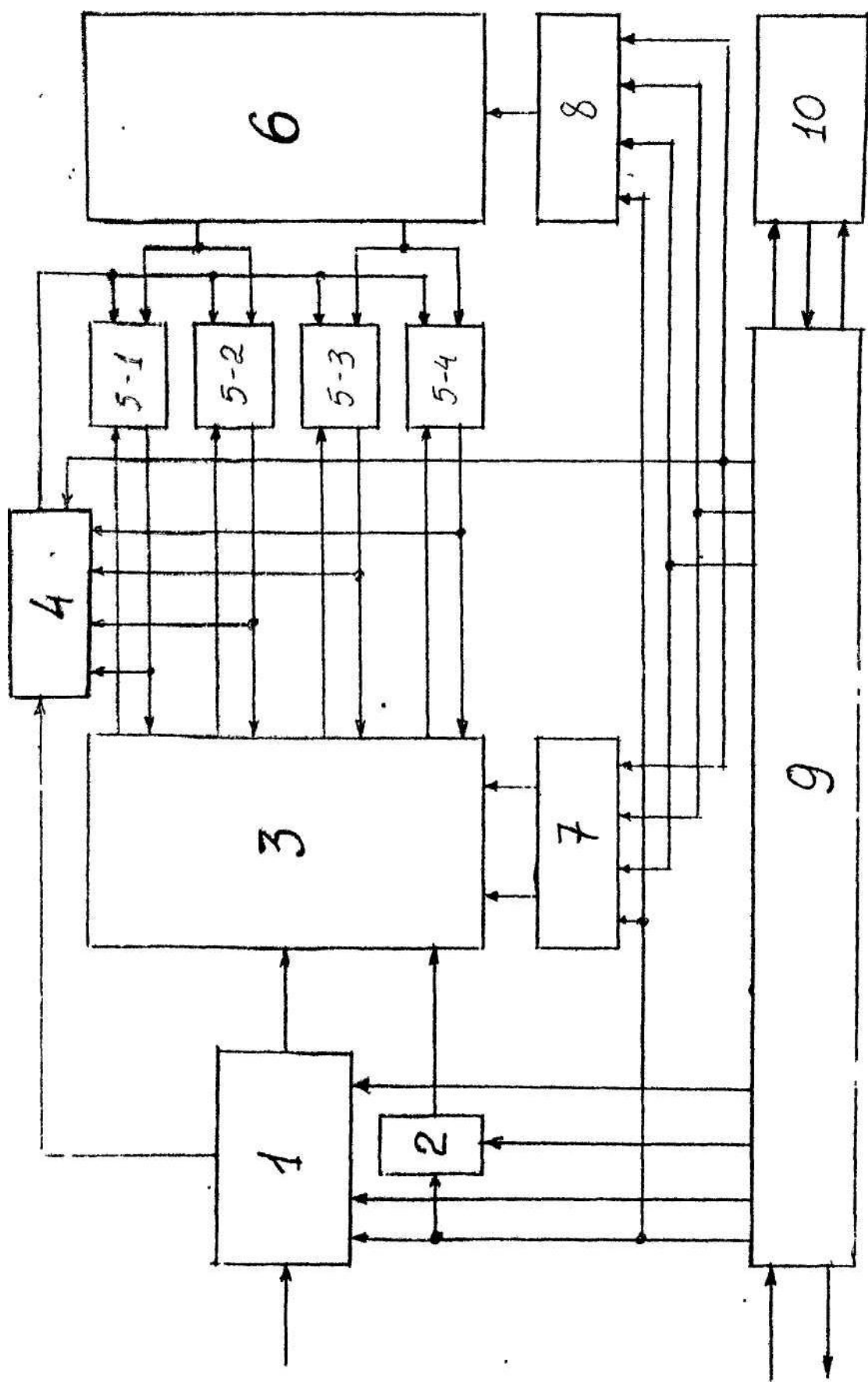
сторону нечетных чисел позволяет вычислять преобразования Фурье в формате чисел с фиксированной запятой и точностью, которая во много раз выше точности оцифрования входной информации, если разрядность процессора всего на 2-4 единицы выше разрядности АЦП.

Таким образом, введение блока суммирования операндов, блока управления сдвигами и увеличение количества арифметических блоков повышает производительность устройства в два-четыре раза с

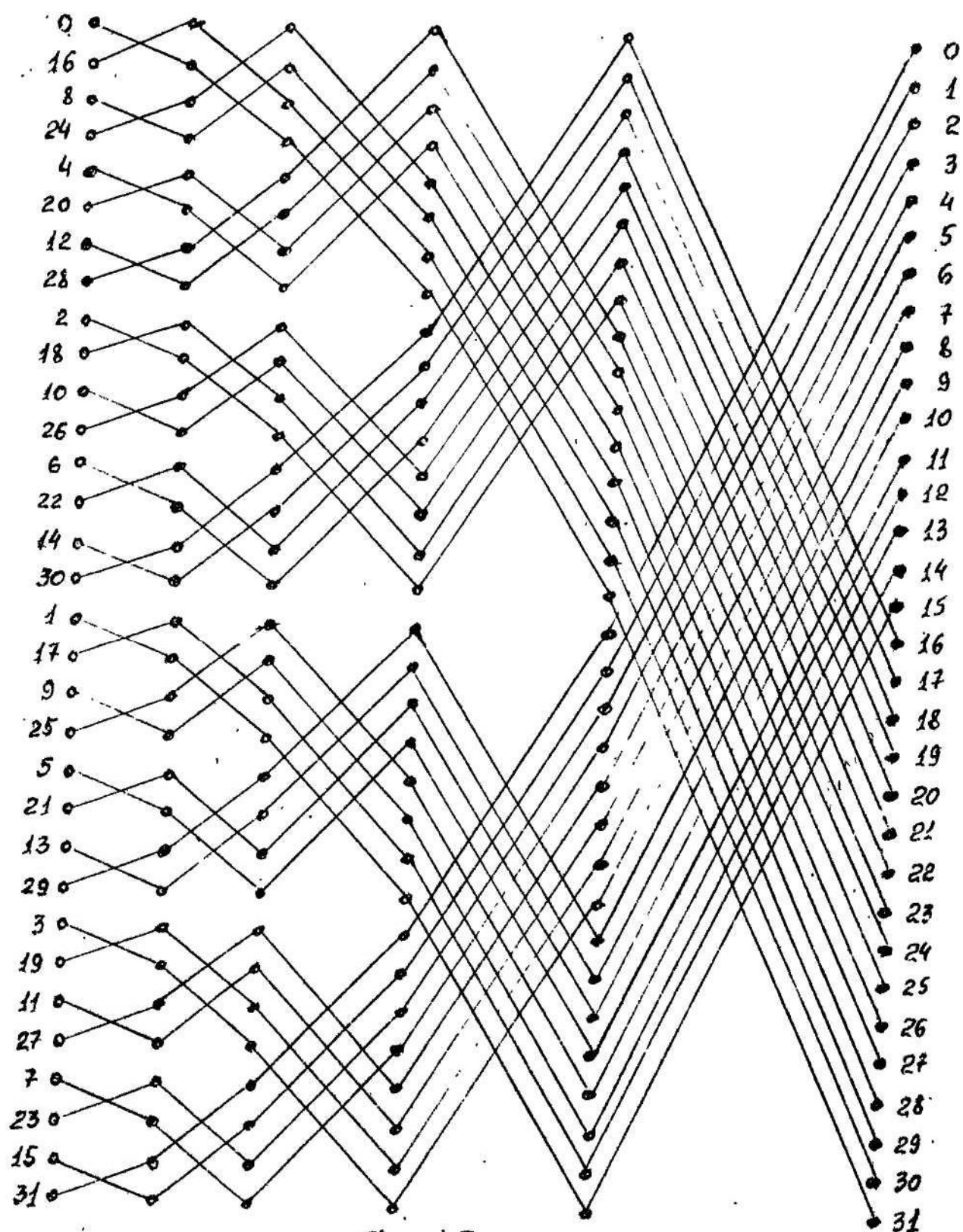
одновременным обеспечением условий высокоточной реализации алгоритма БПФ в формате чисел с фиксированной запятой.

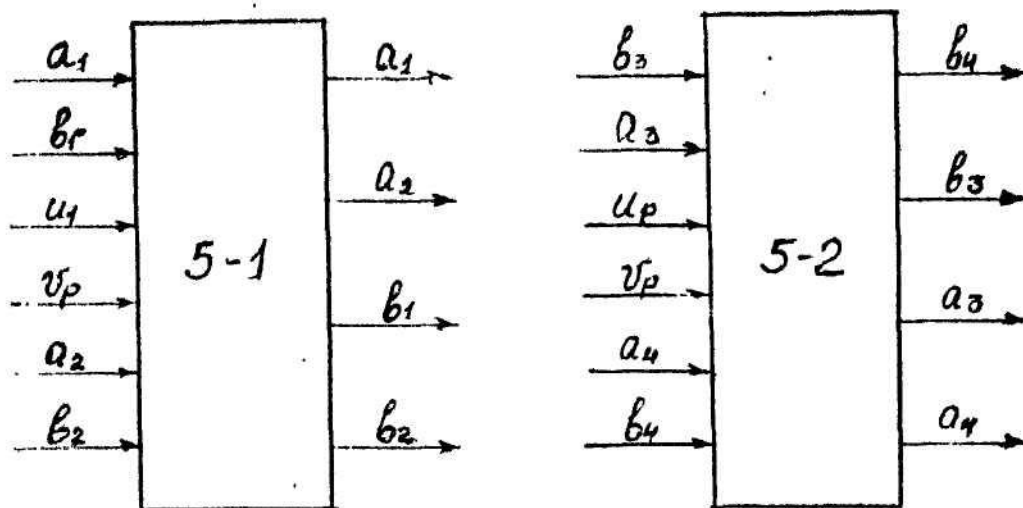


фиг. 1

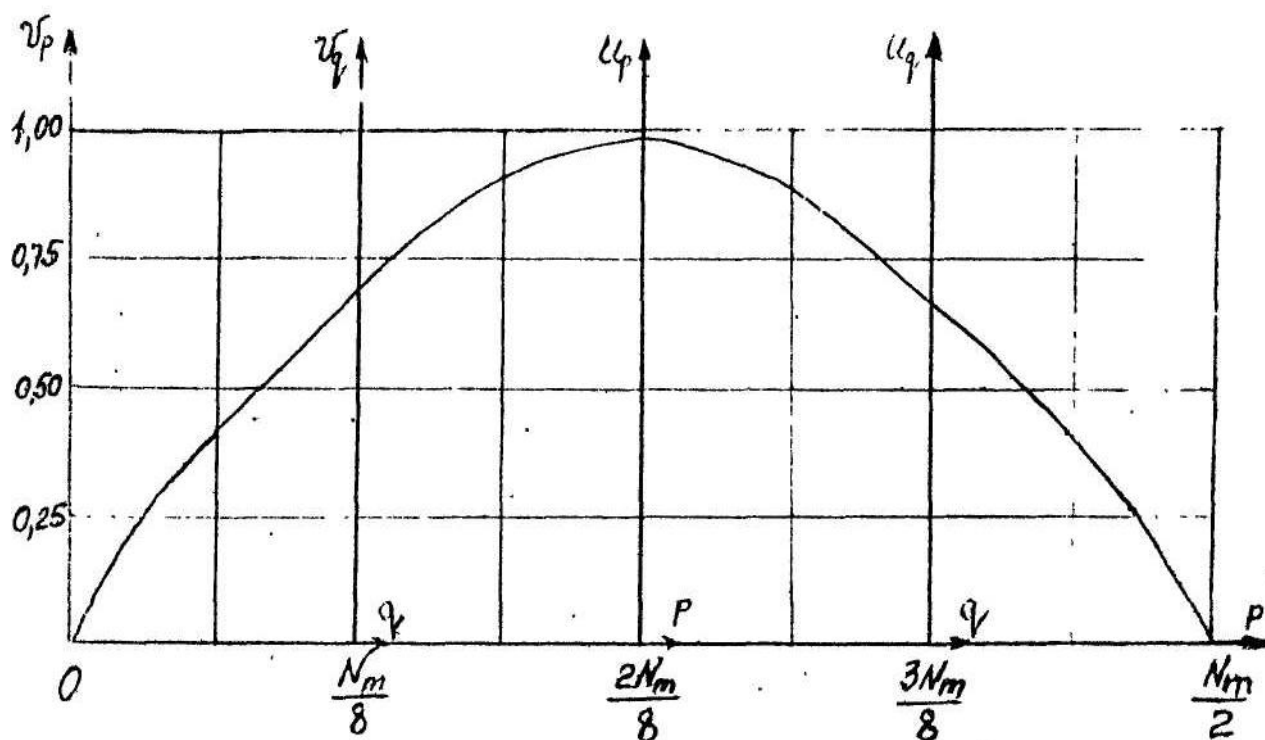


Фиг. 2

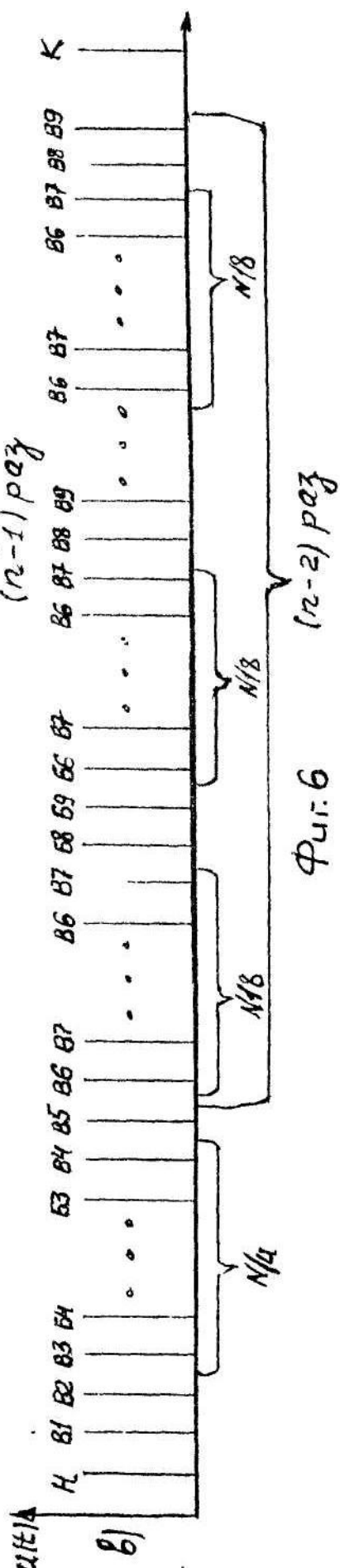
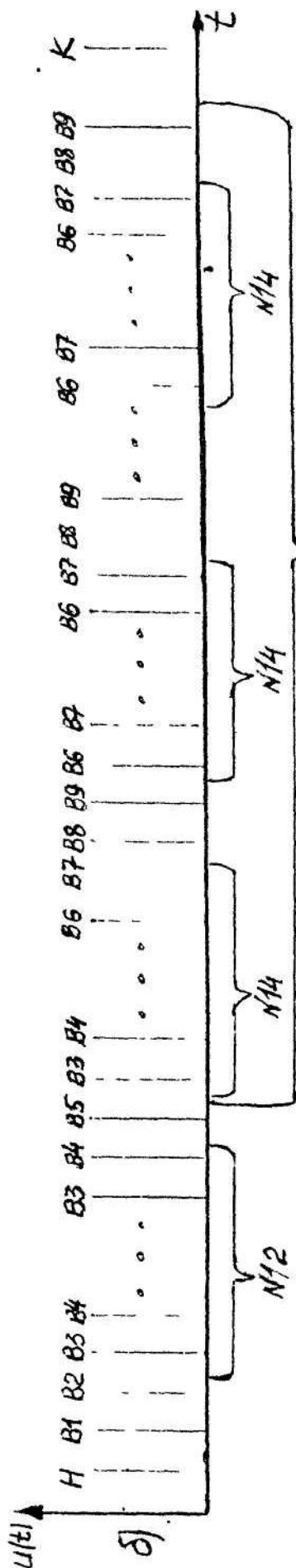
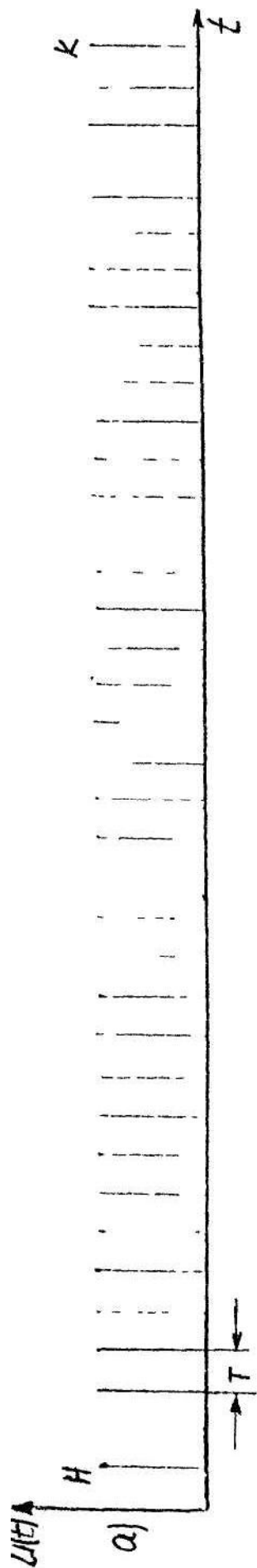




Фиг. 4



Фиг. 5



Фиг. 6

