



ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **95168** (13) **U**  
(51) МПК (2014.01)  
**G06F 17/00**

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: <b>u 2014 07561</b>	(72) Винахідник(и): <b>Мартинюк Тетяна Борисівна (UA), Сидорук Світлана Володимирівна (UA), Костюк Сергій Володимирович (UA)</b>
(22) Дата подання заявки: <b>04.07.2014</b>	
(24) Дата, з якої є чинними права на корисну модель: <b>10.12.2014</b>	(73) Власник(и): <b>Мартинюк Тетяна Борисівна, вул. Червоноармійська, 30/18, м. Вінниця, 21007 (UA), Сидорук Світлана Володимирівна, вул. Келецька, 113/58, м. Вінниця, 21021 (UA), Костюк Сергій Володимирович, вул. Петра Дорошенка, 4, м. Вінниця, 21000 (UA)</b>
(46) Публікація відомостей про видачу патенту: <b>10.12.2014, Бюл.№ 23</b>	

## (54) КОРЕЛЯТОР

### (57) Реферат:

Корелятор містить матрицю обчислювальних комірок для визначення кореляційних коефіцієнтів, кожна з яких містить елемент І, два тригера, мультиплексор, фотодіод, світлодіод, струмозадаючий резистор, блок керування, що містить три тригери, п'ять лічильників, дешифратор, елемент І, елемент АБО-НІ. Додатково у кожен обчислювальну комірку для визначення кореляційних коефіцієнтів введено підсилювач, вхід якого з'єднаний з прямим виходом другого тригера, а вихід з'єднаний з електричним входом світлодіода. Оптичні виходи світлодіодів всіх обчислювальних комірок для визначення кореляційних коефіцієнтів утворюють оптичний вихід матриці комірок для визначення кореляційних коефіцієнтів корелятора.

UA 95168 U

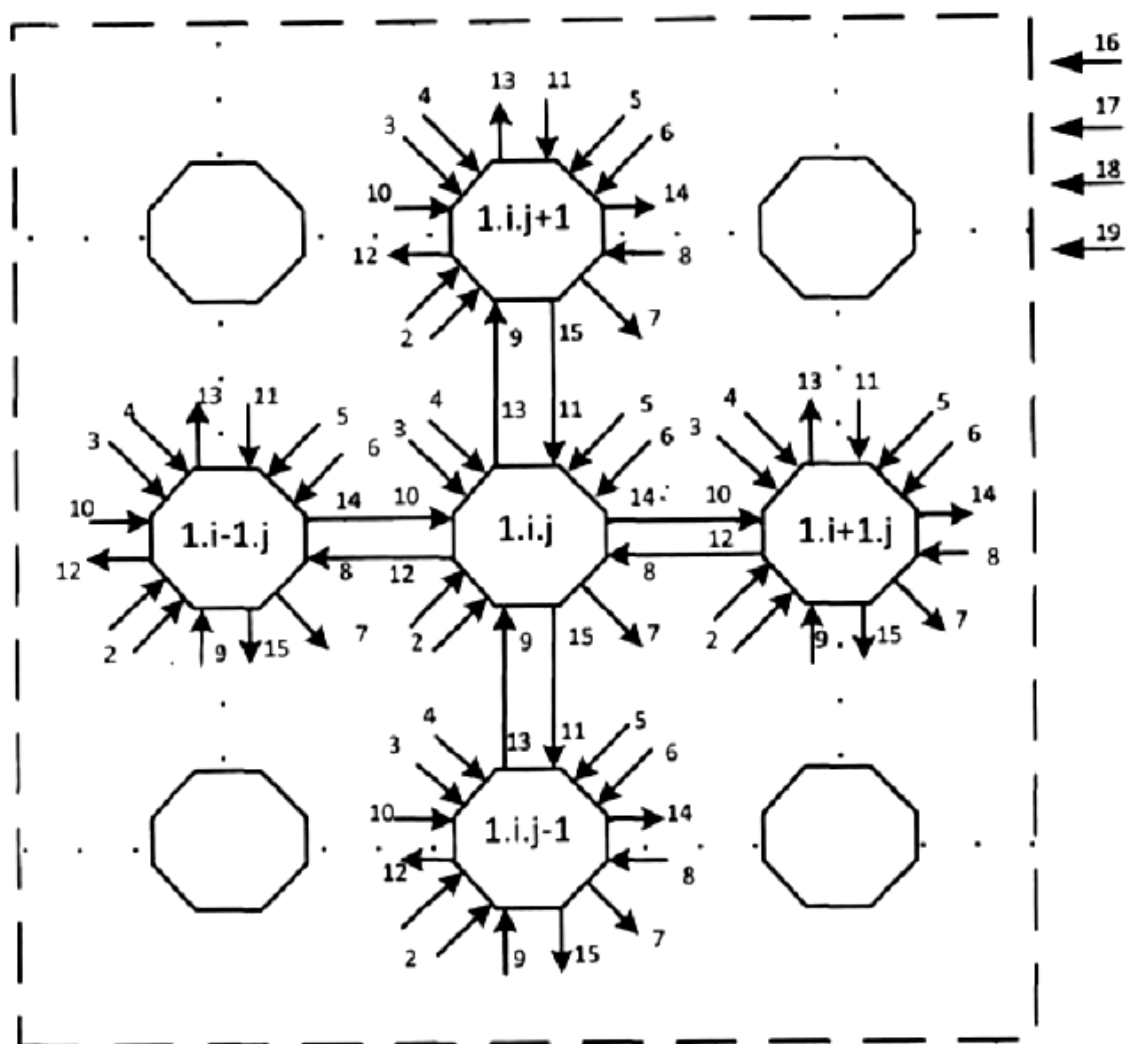


Fig. 1

Корисна модель належить до обчислювальної техніки і може бути використана у спеціалізованих обчислювальних пристроях для цифрової обробки та аналізу сигналів і зображень, що працюють в реальному часі.

Відомий корелятор (а.с. СРСР 1381539, м. кл. G06F 15/336, 1988 р., бюл. № 10), що містить матрицю з N стовпців (N - довжина кореляційної послідовності) та M рядків (M - розрядність чисел вхідної послідовності) обчислювальних комірок, кожна з яких містить елемент I, суматор і чотири елементи затримки, перший вхід елемента I з'єднаний з входом першого елемента затримки і є першим входом обчислювальної комірки, вихід першого елемента затримки є першим виходом обчислювальної комірки, другий вхід елемента I з'єднаний з входом другого елемента затримки і є другим входом обчислювальної комірки, вихід другого елемента затримки є другим виходом обчислювальної комірки, вихід елемента I з'єднаний з першим інформаційним входом суматора, вхід переносу якого є третім входом обчислювальної комірки, вихід переносу та інформаційний вихід суматора з'єднані відповідно з входами третього і четвертого елементів затримки, вихід третього елемента затримки є третім виходом обчислювальної комірки, перший вхід кожної обчислювальної комірки першого стовпця матриці є відповідним інформаційним входом корелятора, перші входи обчислювальних комірок кожного наступного стовпця матриці з'єднані відповідно з першими виходами обчислювальних комірок попереднього стовпця матриці, другі входи обчислювальних комірок першого рядка матриці є входами задання відповідних кореляційних коефіцієнтів корелятора, треті входи обчислювальних комірок першого рядка матриці є входами задання нульового значення корелятора, у кожному стовпці матриці другі і треті входи кожної наступної обчислювальної комірки стовпця з'єднані відповідно з другим і третім виходами попередньої обчислювальної комірки того ж стовпця, крім того кожна обчислювальна комірка матриці містить п'ятий елемент затримки, вхід якого з'єднаний з виходом четвертого елемента затримки, а вихід є четвертим виходом обчислювальної комірки, другий інформаційний вхід суматора є четвертим входом обчислювальної комірки, четверті входи всіх обчислювальних комірок першого стовпця є входами заборони формування суми корелятора, в кожному рядку матриці четвертий вихід попередньої обчислювальної комірки з'єднаний з четвертим входом наступної обчислювальної комірки, четвертий вихід останньої обчислювальної комірки матриці є відповідним виходом результату корелятора.

Недоліком даного пристрою є обмежені функціональні можливості через відсутність візуалізації результатів кореляційної обробки.

Найбільш близьким за технічною суттю є корелятор (а.с. СРСР 1674154, м. кл. G06F 15/336, 1991 р., бюл. № 32), що містить матрицю обчислювальних комірок для визначення кореляційних коефіцієнтів, кожна з яких містить елемент I, перший вхід якого підключений до входу еталонного сигналу корелятора, два тригери, мультиплексор, фотодіод, світлодіод, струмозадаючий резистор, блок керування, що містить три тригери, п'ять лічильників, дешифратор, елемент I, елемент АБО-НІ, причому в блоці керування інформаційний вхід першого тригера є входом запуску корелятора, вхід встановлення в "0" першого тригера з'єднаний з входами встановлення в "0" другого тригера, першого, другого і третього лічильників, входами синхронізації четвертого і п'ятого лічильників, з входом встановлення в "1" третього тригера і з прямим виходом першого тригера, вхід синхронізації першого тригера з'єднаний з першим входом елемента I і є входом синхронізації корелятора, інформаційний вхід третього тригера з'єднаний з шиною нульового потенціалу, прямий вихід третього тригера з'єднаний з другим входом елемента I, вихід якого підключений до синхровходу дешифратора і до входу зворотної лічби другого лічильника, синхровхід якого з'єднаний з виходом ознаки від'ємного стану другого лічильника, з входом лічби третього лічильника і входом встановлення в "1" другого тригера, прямий вихід якого з'єднаний з входом лічби першого лічильника, інформаційний вихід якого з'єднаний з входом задання початкового стану другого лічильника, вхід встановлення в "0" третього тригера є входом встановлення в початковий стан корелятора, інформаційний вихід третього лічильника з'єднаний з інформаційним входом дешифратора, з першого по четвертий виходи якого з'єднані відповідно з входом зворотної лічби четвертого лічильника, входом прямої лічби п'ятого і четвертого лічильників, входом зворотної лічби п'ятого лічильника, вихід ознаки обнулення якого з'єднаний з першим входом елемента АБО-НІ, другий вхід якого з'єднаний з виходом ознаки обнулення четвертого лічильника, вихід елемента АБО-НІ з'єднаний з синхровходом третього тригера, в кожній обчислювальній комірці для визначення кореляційних коефіцієнтів вихід мультиплексора з'єднаний з інформаційним входом першого тригера, вхід встановлення в "0" першого тригера і вхід встановлення в "1" другого тригера підключені до входу встановлення початкового стану корелятора, інверсний вихід першого тригера з'єднаний з другим входом елемента I, вихід якого з'єднаний з входом встановлення в

"0" другого тригера, прямий вихід якого з'єднаний з електричним входом світлодіода, електричний вихід якого підключений до шини нульового потенціалу, до якої підключений перший вивід струмозадаючого резистора, другий вивід якого підключений до входу встановлення в "1" першого тригера і до електричного входу фото діода, електричний вихід якого з'єднаний з шиною додатного потенціалу, в кожному рядку матриці перші інформаційні входи мультиплексорів обчислювальних комірок для визначення кореляційних коефіцієнтів кожного наступного стовпця з'єднані з прямими виходами перших тригерів відповідних обчислювальних комірок для визначення кореляційних коефіцієнтів попереднього стовпця того ж рядка, а прямі виходи перших тригерів обчислювальних комірок для визначення кореляційних коефіцієнтів наступного стовпця з'єднані з другими інформаційними входами мультиплексорів відповідних обчислювальних комірок для визначення кореляційних коефіцієнтів попереднього стовпця того ж рядка, в кожному стовпці матриці треті інформаційні входи мультиплексорів обчислювальних комірок для визначення кореляційних коефіцієнтів кожного наступного рядка з'єднані з прямими виходами перших тригерів відповідних обчислювальних комірок для визначення кореляційних коефіцієнтів попереднього рядка того ж стовпця, а прямі виходи перших тригерів обчислювальних комірок для визначення кореляційних коефіцієнтів кожного наступного рядка з'єднані з четвертими інформаційними входами мультиплексорів відповідних обчислювальних комірок для визначення кореляційних коефіцієнтів попереднього рядка того ж стовпця, прямий вихід першого тригера блока керування з'єднаний з входами встановлення в "0" перших тригерів і входами встановлення в "1" других тригерів всіх обчислювальних комірок для визначення кореляційних коефіцієнтів, синхровходи перших тригерів обчислювальних комірок для визначення кореляційних коефіцієнтів з'єднані з виходом елемента І блока керування, інформаційний вихід третього лічильника блока керування з'єднаний з адресними входами мультиплексорів обчислювальних комірок для визначення кореляційних коефіцієнтів, входи задання початкового стану четвертого і п'ятого лічильників блока керування є входами задання початкових координат еталонного зображення корелятора, інформаційні виходи четвертого і п'ятого лічильників підключені до адресного виходу координат еталонного зображення корелятора, оптичні входи фотодіодів і оптичні виходи світлодіодів всіх обчислювальних комірок для визначення кореляційних коефіцієнтів утворюють відповідно оптичний вхід поточного зображення і оптичний вихід еталонного зображення корелятора.

Недоліком прототипу є ненадійність його роботи через неузгодженість параметрів цифрових елементів (тригерів) та фото- і світлодіодів в обчислювальних комірках для визначення кореляційних коефіцієнтів.

В основу корисної моделі поставлено задачу створення корелятора, в якому за рахунок введення нових вузлів і зв'язків досягається збільшення надійності його роботи через узгодженість параметрів цифрових елементів та фотоприймачів і світловипромінювачів в обчислювальних комірках для визначення кореляційних коефіцієнтів.

Поставлена задача вирішується тим, що в корелятор, що містить матрицю обчислювальних комірок для визначення кореляційних коефіцієнтів, кожна з яких містить елемент І, перший вхід якого підключений до входу еталонного сигналу корелятора, два тригери, мультиплексор, фотодіод, світлодіод, струмозадаючий резистор, блок керування, що містить три тригери, п'ять лічильників, дешифратор, елемент І, елемент АБО-НІ, причому в блоці керування інформаційний вхід першого тригера є входом запуску корелятора, вхід встановлення в "0" першого тригера з'єднаний з входами встановлення в "0" другого тригера, першого, другого і третього лічильників, входами синхронізації четвертого і п'ятого лічильників, з входом встановлення в "1" третього тригера і з прямим виходом першого тригера, вхід синхронізації першого тригера з'єднаний з першим входом елемента І і є входом синхронізації корелятора, інформаційний вхід третього тригера з'єднаний з шиною нульового потенціалу, прямий вихід третього тригера з'єднаний з другим входом елемента І, вихід якого підключений до синхровходу дешифратора і до входу зворотної лічби другого лічильника, синхровхід якого з'єднаний з виходом ознаки від'ємного стану другого лічильника, з входом лічби третього лічильника і входом встановлення в "1" другого тригера, прямий вихід якого з'єднаний з входом лічби першого лічильника, інформаційний вихід якого з'єднаний з входом задання початкового стану другого лічильника, вхід встановлення в "0" третього тригера є входом встановлення в початковий стан корелятора, інформаційний вихід третього лічильника з'єднаний з інформаційним входом дешифратора, з першого по четвертий виходи якого з'єднані відповідно з входом зворотної лічби четвертого лічильника, входом прямої лічби п'ятого і четвертого лічильників, входом зворотної лічби п'ятого лічильника, вихід ознаки обнулення якого з'єднаний з першим входом елемента АБО-НІ, другий вхід якого з'єднаний з виходом ознаки обнулення четвертого лічильника, вихід елемента АБО-НІ з'єднаний з синхровходом третього тригера, в

кожній обчислювальній комірці для визначення кореляційних коефіцієнтів вихід мультиплексора з'єднаний з інформаційним входом першого тригера, вхід встановлення в "0" першого тригера і вхід встановлення в "1" другого тригера підключені до входу встановлення початкового стану корелятора, інверсний вихід першого тригера з'єднаний з другим входом елемента І, вихід якого з'єднаний з входом встановлення в "0" другого тригера, електричний вихід світлодіода підключений до шини нульового потенціалу, до якої підключений перший вивід струмозадаючого резистора, другий вивід якого підключений до входу встановлення в "1" першого тригера і до електричного входу фотодіода, електричний вихід якого з'єднаний з шиною додатного потенціалу, в кожному рядку матриці перші інформаційні входи мультиплексорів обчислювальних комірок для визначення кореляційних коефіцієнтів кожного наступного стовпця з'єднані з прямими виходами перших тригерів відповідних обчислювальних комірок для визначення кореляційних коефіцієнтів попереднього стовпця того ж рядка, а прямі виходи перших тригерів обчислювальних комірок для визначення кореляційних коефіцієнтів наступного стовпця з'єднані з другими інформаційними входами мультиплексорів відповідних обчислювальних комірок для визначення кореляційних коефіцієнтів попереднього стовпця того ж рядка, в кожному стовпці матриці треті інформаційні входи мультиплексорів обчислювальних комірок для визначення кореляційних коефіцієнтів кожного наступного рядка з'єднані з прямими виходами перших тригерів відповідних обчислювальних комірок для визначення кореляційних коефіцієнтів попереднього рядка того ж стовпця, а прямі виходи перших тригерів обчислювальних комірок для визначення кореляційних коефіцієнтів кожного наступного рядка з'єднані з четвертими інформаційними входами мультиплексорів відповідних обчислювальних комірок для визначення кореляційних коефіцієнтів попереднього рядка того ж стовпця, прямий вихід першого тригера блока керування з'єднаний з входами встановлення в "0" перших тригерів і входами встановлення в "1" других тригерів всіх обчислювальних комірок для визначення кореляційних коефіцієнтів, синхровходи перших тригерів обчислювальних комірок для визначення кореляційних коефіцієнтів з'єднані з виходом елемента І блока керування, інформаційний вихід третього лічильника блока керування з'єднаний з адресними входами мультиплексорів обчислювальних комірок для визначення кореляційних коефіцієнтів, входи задання початкового стану четвертого і п'ятого лічильників блока керування є входами задання початкових координат еталонного зображення корелятора, інформаційні виходи четвертого і п'ятого лічильників підключені до адресного виходу координат еталонного зображення корелятора, оптичні входи фотодіодів всіх обчислювальних комірок для визначення кореляційних коефіцієнтів утворюють відповідно оптичний вхід поточного зображення корелятора, згідно з корисною моделлю додатково введено у кожен обчислювальну комірку для визначення кореляційних коефіцієнтів підсилювач, вхід якого з'єднаний з прямим виходом другого тригера, а вихід з'єднаний з електричним входом світлодіода, оптичні виходи світлодіодів всіх обчислювальних комірок для визначення кореляційних коефіцієнтів утворюють оптичний вихід матриці для визначення кореляційних коефіцієнтів корелятора.

На фіг. 1 представлено структурну схему корелятора; на фіг. 2 - функціональну схему обчислювальної комірки для визначення кореляційних коефіцієнтів; на фіг. 3 - функціональну схему блока керування; на фіг. 4 наведено приклад кореляційної обробки.

Корелятор (фіг. 1) містить матрицю обчислювальних комірок  $I.i.j$  для визначення кореляційних коефіцієнтів ( $i$  - номер рядка;  $j$  - номер стовпця), кожна з яких має адресний вхід 2, синхровхід 3, вхід 4 початкового встановлення, вхід 5 еталонного сигналу, оптичний вхід 6, оптичний вихід 7, інформаційні входи 8-11, інформаційні виходи 12-15, керуючі шини 16-18 матриці, вхід 19 еталонного сигналу матриці. Інформаційні виходи 14 і 12, 13 і 15 кожної обчислювальної комірки  $I.i.j$ , крім крайніх, з'єднані з інформаційними входами 10 і 8, 9 і 11 відповідно сусідніх обчислювальних комірок, розташованих праворуч ( $1.i+1.j$ ), ліворуч ( $1.i-1.j$ ), зверху ( $1.i.j+1$ ) і знизу ( $1.i.j-1$ ).

Кожна обчислювальна комірка  $I.i.j$  для визначення кореляційних коефіцієнтів (фіг. 2) містить D-тригер 20, RS-тригер 21, мультиплексор 22, елемент І 23, фотодіод 24, світлодіод 25, резистор 26, підсилювач 27. Вихід мультиплексора 22 з'єднаний з D-входом D-тригера 20, прямий вихід якого з'єднаний з інформаційними виходами 12-15 комірки, а інверсний вихід якого з'єднаний з першим входом елемента І 23, другий вхід якого з'єднаний з входом 5 еталонного сигналу, а вихід з'єднаний з R-входом RS-тригера 21. S-вхід RS-тригера 21 підключений до R-входу D-тригера 20 і до входу 4 початкового встановлення комірки, синхровхід якої з'єднаний з тактовим входом D-тригера 20. Прямий вихід RS-тригера 21 з'єднаний з входом підсилювача 27, вихід якого з'єднаний з електричним входом світлодіода 25, електричний вихід якого підключений до шини нульового потенціалу, а оптичний вихід є оптичним виходом 7 комірки. Дворозрядний адресний вхід 2 комірки з'єднаний з адресними входами  $A_0$ ,  $A_1$  мультиплексора

22, електричний вихід фотодіода 24 з'єднаний з шиною додатного потенціалу, а електричний вхід з'єднаний з S-входом RS-тригера 20 і через струмозадаючий резистор 26 з шиною нульового потенціалу.

Блок керування (фіг. 3) містить вхід 28 запуску, вхід 29 синхронізації, вхід 30 початкового встановлення, тригер 31, елемент І 32, тригери 33, 34, лічильники 35-39, дешифратор 40, вхід 41 задання початкових координат еталонного зображення, адресний вихід 42 координат еталонного зображення, елемент АБО-НІ 43, шину 44 нульового потенціалу. Причому в блоці керування інформаційний вхід тригера 31 з'єднаний з входом 28 запуску корелятора, вхід встановлення в "0" тригера 31 з'єднаний з входами встановлення в "0" тригера 33, лічильників 35-37, входами синхронізації лічильників 38, 39, з входом встановлення в "1" тригера 34, з прямим виходом тригера 31 і є керуючим виходом 18 блока керування. Вхід синхронізації тригера 31 з'єднаний з першим входом елемента І 32 і з входом 29 синхронізації корелятора, інформаційний вхід тригера 34 з'єднаний з шиною 44 нульового потенціалу. Прямий вихід тригера 34 з'єднаний з другим входом елемента І 32, вихід якого є виходом 17 синхронізації блока керування і підключений до синхровходу дешифратора 40 і до входу зворотної лічби лічильника 36, синхровхід якого з'єднаний з виходом ознаки від'ємного стану лічильника 36, з входом прямої лічби лічильника 37 і входом встановлення в "1" тригера 33, прямий вихід якого з'єднаний з входом прямої лічби лічильника 35, інформаційний вихід якого з'єднаний з входом задання початкового стану лічильника 36. Вхід встановлення в "0" тригера 34 з'єднаний з входом 30 встановлення в початковий стан корелятора, інформаційний вихід лічильника 37 є керуючим виходом 16 блока керування і з'єднаний з інформаційним входом дешифратора 40, з першого по четвертий виходи якого з'єднані відповідно з входом зворотної лічби лічильника 38, входом прямої лічби лічильників 39, 38, входом зворотної лічби лічильника 39, вихід ознаки обнулення якого з'єднаний з першим входом елемента АБО-НІ 43, другий вхід якого з'єднаний з виходом ознаки обнулення лічильника 38. Вихід елемента АБО-НІ 43 з'єднаний з синхровходом тригера 34, інформаційні входи лічильників 38, 39 з'єднані з входом 41 задання початкових координат еталонного зображення, а інформаційні виходи лічильників 38, 39 є адресним виходом 42 координат еталонного зображення корелятора.

Корелятор (фіг. 1) працює таким чином. Корелятор визначає місцезнаходження центра двовимірного еталонного зображення  $G = \{g_{ij}\}$  на полі двовимірного поточного зображення  $F = \{f_{ij}\}$ , де  $N \times M$  - розмірність поточного зображення  $F$ ,  $n \times m$  - розмірність еталонного зображення  $G$ . Поточне  $F$  та еталонне  $G$  зображення є бінарними зображеннями, тобто кожен їх піксель подається однорозрядним двійковим кодом. На полі поточного зображення  $F$  і на полі еталонного зображення  $G$  обов'язково присутні центрований рядок і центрований стовпець, які мають нульові номери.

Для обчислення взаємно кореляційної функції (ВКФ) використовується таке співвідношення:

$$C_{kl} = \sum_{i=-n/2}^{n/2} \sum_{j=-m/2}^{m/2} g_{ij} \cdot f_{i-k, j-l} \quad (1)$$

де  $f_{ij}$  - елемент (піксель) великоформатного поточного зображення (ПЗ)  $F$ ;  $g_{ij}$  - елемент (піксель) дрібноформатного еталонного зображення (ЕЗ)  $G$ ;  $C_{kl}$  - кореляційний коефіцієнт матриці рельєфу  $C$  з координатами  $(k, l)$  по відповідних осях  $(i, j)$ . Таким чином вектор зсуву пікселів  $f_{ij}$  поточного зображення  $F$  можна подати як  $\overline{(-k, -l)}$ .

Для прискорення процесу обчислення ВКФ пропонується такий підхід до визначення координат центра еталонних зображень  $G$  на полі поточного зображення  $F$ , який дозволяє відмовитись від "виращування" кореляційного рельєфу вигляду (1) за рахунок поступового зменшення матриці поточного кореляційного рельєфу на загальну величину у кожному такті обробки. В результаті одиничне значення на робочому полі зберігають тільки глобальні максимуми, що не лише дозволяє перейти від багатоградаційного до бінарного результуючого кореляційного рельєфу, але й за рахунок візуалізації збільшити наочність результату і прискорити визначення необхідних координат. Для збереження інформації при зсуві поточного зображення  $F$  за формулою (1) розмірність робочого поля, що дорівнює матриці обчислювальних комірок  $1.i.j$ , повинна бути такою  $(N+n-1) \times (M+m-1)$ .

Обчислювальна комірка 1.i.j для визначення кореляційних коефіцієнтів (фіг. 2) функціонує в такий спосіб. При надходженні керуючого сигналу з входу 4 початкового встановлення здійснюється встановлення в нульовий стан D-тригера 20 і встановлення в одиничний стан RS-тригера 21 всіх обчислювальних комірок 1.i.j матриці. З надходженням чергового синхроімпульсу із синхровходу 3 обчислювальних комірок в D-тригер 20 записується значення відповідного елемента  $f_{ij}$  бінарного поточного зображення F, що надходить на оптичний вхід 6 відповідної обчислювальної комірки 1.i.j матриці. При надходженні на вхід 5 кожної обчислювальної комірки 1.i.j значення елемента  $g_{ij}$ , бінарного еталонного зображення G у відповідній обчислювальній комірці 1.i.j матриці на виході елемента І 23 формується сигнал:

$$\delta_{ij} = g_{ij} \cdot \overline{f_{ij}} \quad (2)$$

який при  $\delta_{ij} = 1$  скидає в нульовий стан RS-тригер 21, будучи поданий на його R-вхід. Значення елемента  $\overline{f_{ij}}$  надходить з інверсного виходу RS-тригера 20 на один з входів елемента І

23. Якщо  $\delta_{ij} = 0$ , то RS-тригер 21 залишається в одиничному стані і випромінюючий світлодіод 25 вказує обчислювальну комірку 1.i.j з координатами центра еталонного зображення.

В залежності від коду адреси, що надходить на адресний вхід 2 обчислювальної комірки 1.i.j, можливий зсув ліворуч (по входу 8), вгору (по входу 9), праворуч (по входу 10), донизу (по входу 11) вмісту матриці обчислювальних комірок 1.i.j. Після виконання зсуву інформації в матриці обчислювальних комірок 1.i.j і надходження наступного бінарного відліку  $g_{ij}$  еталонного зображення, вибірка якого із запам'ятовуючого пристрою виконується в залежності від коду адреси, сформованого на адресному виході 42 блока керування, знову здійснюється формування сигналу  $\delta_{ij}$  (2). Цей процес буде продовжуватися до тих пір, поки не буде виконано зчитування із запам'ятовуючого пристрою всього еталонного зображення G у вигляді послідовності його елементів  $g_{ij}$ .

Блок керування (фіг. 3) функціонує наступним чином.

При ввімкненні живлення на вході 30 блока керування формується сигнал початкового встановлення, який встановлює тригер 34 у нульовий стан, при цьому елемент І 32 блокує надходження сигналу синхронізації з входу 29 синхронізації блока керування на вхід зворотної лічби лічильника 36. При надходженні сигналу запуску на вхід 28 запуску блока керування з одночасним надходженням чергового синхроімпульсу зі входу 29 синхронізації на виході тригера 31 формується короткий імпульс, який встановлює в нульовий стан тригер 33 та лічильники 35-37, дозволяє запис початкових координат еталонного зображення зі входу 41 блока керування в лічильники 38 і 39, встановлює в одиничний стан тригер 34 (при цьому відкривається елемент І 32), формує одиничний сигнал на керуючому вході 18 матриці обчислювальних комірок, а також обнулює тригер 31. Наступний синхроімпульс через відкритий елемент І 32 подається на вхід 17 синхронізації матриці обчислювальних комірок, а також на вхід зворотної лічби лічильника 36. При цьому короткий імпульс на виході від'ємної ознаки лічильника 36 приводить до встановлення в одиничний стан тригера 33, перезапису вмісту лічильника 35 у лічильник 36 і збільшенню на одиницю вмісту лічильника 37, що викликає формування нової адреси на керуючих входах 16 матриці обчислювальних комірок. Це, в свою чергу, приводить до зміни через дешифратор 40 вмісту лічильників 38, 39, які формують на адресному виході 42 блока керування адресу наступного елемента еталонного зображення. Коли лічильники 38, 39 обнулюються, на виході елемента АБО-НІ 43 формується імпульс, який встановлює в нульовий стан тригер 34 і блокує подачу синхроімпульсів на лічильник 36 через елемент І 32. На цьому робочий цикл блока керування закінчується. Для повторного запуску блока керування необхідно подати сигнал запуску на вхід 28 запуску блока керування.

На фіг. 4 наведено приклад виконання кореляційної обробки двовимірних бінарних поточного F та еталонного G зображень з використанням матриці обчислювальних комірок 1.i.j для випадку, коли  $N \times M = 5 \times 5$  (фіг. 4а) і  $n \times m = 3 \times 3$  (фіг. 4б). Інформаційні пікселі обох зображень показано чорними точками. При вказаному способі сканування еталонного зображення G (фіг. 4б) та початковому одиничному стані робочого поля (фіг. 4в) показано поля поточного зображення F (фіг. 4г) з визначеним зсувом поточного зображення F у відповідні такти роботи пристрою та зміна стану RS-тригерів 21 кожної обчислювальної комірки 1.i.j матриці, вміст яких показано праворуч на фіг. 4д. Робоче поле для зсуву поточного зображення F розмірністю  $(N+n-1) \times (M+m-1)$  реалізоване на матриці обчислювальних комірок 1.i.j. Всього виконується дев'ять тактів від нульового до восьмого за кількістю пікселів еталонного зображення G (фіг. 4б).

На восьмому такті роботи корелятора формується кінцевий результат кореляційної обробки, який свідчить про те, що обчислювальні комірки  $1.i,j$  матриці, в яких RS-тригер 21 знаходиться в одиничному стані, відповідають координатам центра еталонного зображення G на полі поточного зображення F. Результат кореляційної обробки свідчить, що центри еталонного зображення знаходяться у точках з координатами  $(-1;0)$  та  $(1;0)$  (фіг. 4д).

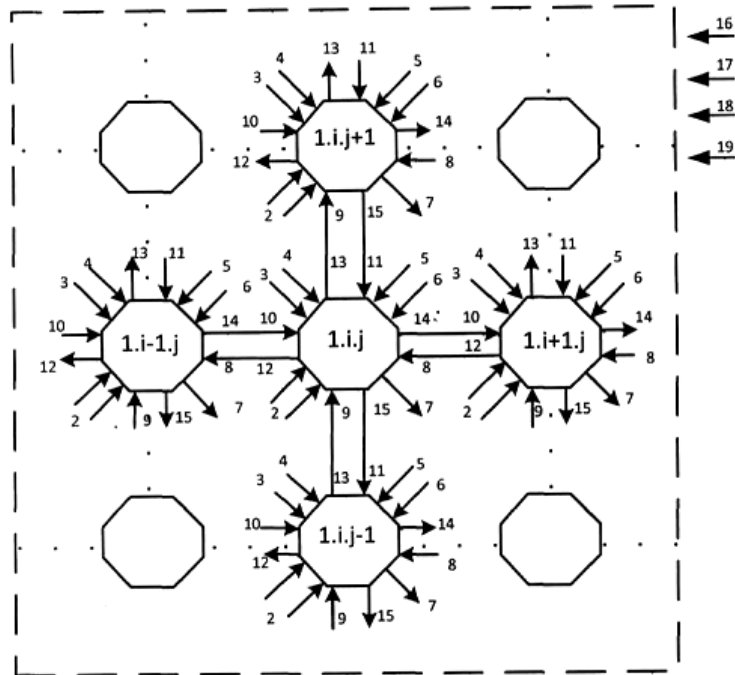
Використання підсилювача у кожній обчислювальній комірці матриці дозволяє збільшити надійність роботи корелятора через узгодженість параметрів цифрових елементів та фотоприймачів і світловипромінювачів у всіх обчислювальних комірках для визначення кореляційних коефіцієнтів.

#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Корелятор, що містить матрицю обчислювальних комірок для визначення кореляційних коефіцієнтів, кожна з яких містить елемент I, перший вхід якого підключений до входу еталонного сигналу корелятора, два тригери, мультиплексор, фотодіод, світлодіод, струмозадаючий резистор, блок керування, що містить три тригери, п'ять лічильників, дешифратор, елемент I, елемент АБО-НІ, причому в блоці керування інформаційний вхід першого тригера є входом запуску корелятора, вхід встановлення в "0" першого тригера з'єднаний з входами встановлення в "0" другого тригера, першого, другого і третього лічильників, входами синхронізації четвертого і п'ятого лічильників, з входом встановлення в "1" третього тригера і з прямим виходом першого тригера, вхід синхронізації першого тригера з'єднаний з першим входом елемента I і є входом синхронізації корелятора, інформаційний вхід третього тригера з'єднаний з шиною нульового потенціалу, прямий вихід третього тригера з'єднаний з другим входом елемента I, вихід якого підключений до синхровходу дешифратора і до входу зворотної лічби другого лічильника, синхровхід якого з'єднаний з виходом ознаки від'ємного стану другого лічильника, з входом лічби третього лічильника і входом встановлення в "1" другого тригера, прямий вихід якого з'єднаний з входом лічби першого лічильника, інформаційний вихід якого з'єднаний з входом задання початкового стану другого лічильника, вхід встановлення в "0" третього тригера є входом встановлення в початковий стан корелятора, інформаційний вихід третього лічильника з'єднаний з інформаційним входом дешифратора, з першого по четвертий виходи якого з'єднані відповідно з входом зворотної лічби четвертого лічильника, входом прямої лічби п'ятого і четвертого лічильників, входом зворотної лічби п'ятого лічильника, вихід ознаки обнулення якого з'єднаний з першим входом елемента АБО-НІ, другий вхід якого з'єднаний з виходом ознаки обнулення четвертого лічильника, вихід елемента АБО-НІ з'єднаний з синхровходом третього тригера, в кожній обчислювальній комірці для визначення кореляційних коефіцієнтів вихід мультиплексора з'єднаний з інформаційним входом першого тригера, вхід встановлення в "0" першого тригера і вхід встановлення в "1" другого тригера підключені до входу встановлення початкового стану корелятора, інверсний вихід першого тригера з'єднаний з другим входом елемента I, вихід якого з'єднаний з входом встановлення в "0" другого тригера, електричний вихід світлодіода підключений до шини нульового потенціалу, до якої підключений перший вивід струмозадаючого резистора, другий вивід якого підключений до входу встановлення в "1" першого тригера і до електричного входу фотодіода, електричний вихід якого з'єднаний з шиною додатного потенціалу, в кожному рядку матриці перші інформаційні входи мультиплексорів обчислювальних комірок для визначення кореляційних коефіцієнтів кожного наступного стовпця з'єднані з прямими виходами перших тригерів відповідних обчислювальних комірок для визначення кореляційних коефіцієнтів попереднього стовпця того ж рядка, а прямі виходи перших тригерів обчислювальних комірок для визначення кореляційних коефіцієнтів наступного стовпця з'єднані з другими інформаційними входами мультиплексорів відповідних обчислювальних комірок для визначення кореляційних коефіцієнтів попереднього стовпця того ж рядка, в кожному стовпці матриці треті інформаційні входи мультиплексорів обчислювальних комірок для визначення кореляційних коефіцієнтів кожного наступного рядка з'єднані з прямими виходами перших тригерів відповідних обчислювальних комірок для визначення кореляційних коефіцієнтів попереднього рядка того ж стовпця, а прямі виходи перших тригерів обчислювальних комірок для визначення кореляційних коефіцієнтів кожного наступного рядка з'єднані з четвертими інформаційними входами мультиплексорів відповідних обчислювальних комірок для визначення кореляційних коефіцієнтів попереднього рядка того ж стовпця, прямий вихід першого тригера блока керування з'єднаний з входами встановлення в "0" перших тригерів і входами встановлення в "1" других тригерів всіх обчислювальних комірок для визначення кореляційних коефіцієнтів, синхровходи перших тригерів обчислювальних комірок для визначення кореляційних



- коефіцієнтів з'єднані з виходом елемента І блока керування, інформаційний вихід третього лічильника блока керування з'єднаний з адресними входами мультиплексорів обчислювальних комірок для визначення кореляційних коефіцієнтів, входи задання початкового стану четвертого і п'ятого лічильників блока керування є входами задання початкових координат еталонного зображення корелятора, інформаційні виходи четвертого і п'ятого лічильників підключені до адресного виходу координат еталонного зображення корелятора, оптичні входи фотодіодів всіх обчислювальних комірок для визначення кореляційних коефіцієнтів утворюють відповідно оптичний вхід поточного зображення корелятора, який **відрізняється** тим, що додатково введено у кожну обчислювальну комірку для визначення кореляційних коефіцієнтів підсилювач, вхід якого з'єднаний з прямим виходом другого тригера, а вихід з'єднаний з електричним входом світлодіода, оптичні виходи світлодіодів всіх обчислювальних комірок для визначення кореляційних коефіцієнтів утворюють оптичний вихід матриці комірок для визначення кореляційних коефіцієнтів корелятора.



Фиг. 1

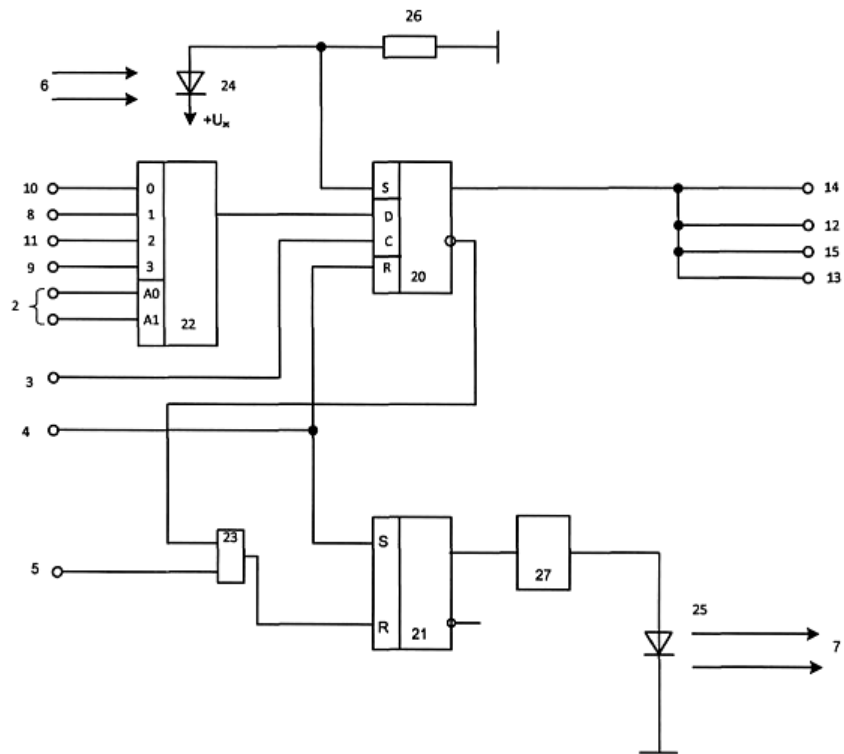


Fig. 2

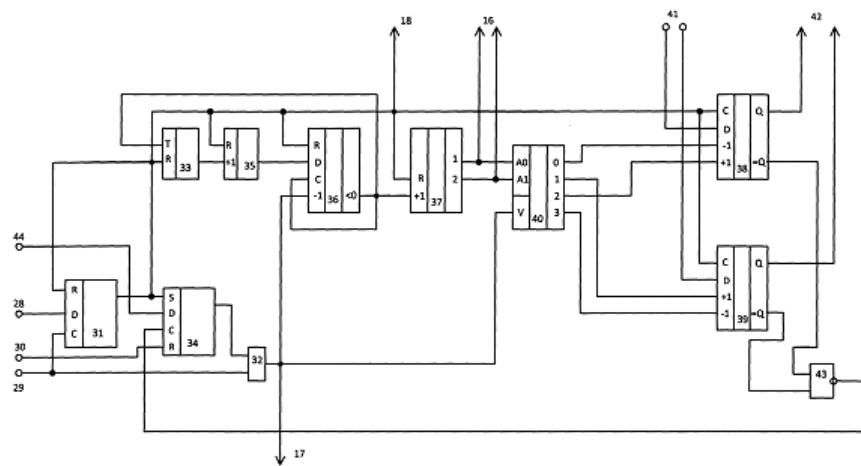
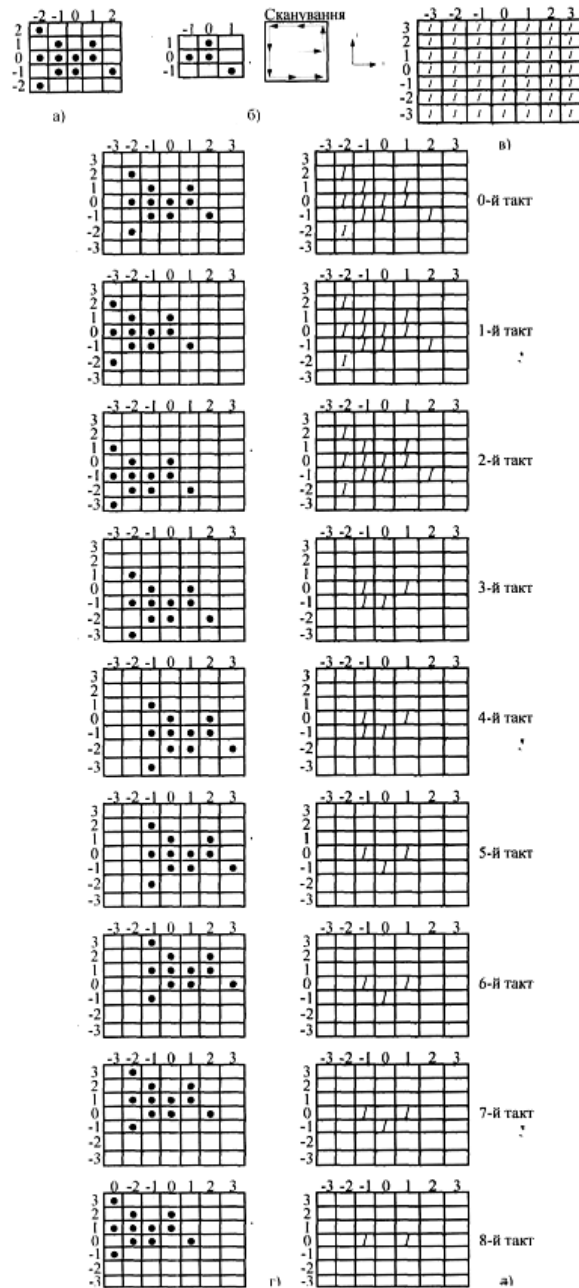


Fig. 3



Фіг. 4