



УКРАЇНА

(19) UA (11) 22050 (13) C1

(51) 6 H 04 B 3/46, H 04 J 3/08

ДЕРЖАВНЕ
ПАТЕНТНЕ
ВІДОМСТВООПИС ДО ПАТЕНТУ
НА ВІНАХІД

(54) ПРИСТРІЙ ТЕЛЕКОНТРОЛЮ ДЛЯ ЛІНІЇ ПЕРЕДАЧІ ЦИФРОВОЇ ІНФОРМАЦІЇ

1

(21) 95125424

(22) 22 12 95

(24) 19 07 99

(46) 19 07 99. Бюл. № 4

(56) 1. Авторское свидетельство СССР
№ 1040612, 07.09 832. Авторское свидетельство СССР
№ 1117845, 07.10 84.3. Авторское свидетельство СССР
№ 1185620, 15 10 85.4. Авторское свидетельство СССР
№ 951731, 15.08.82.5. Авторское свидетельство СССР
№ 1035812, 15.08 83.(72) Мозель Олександр Григорович, Продан
Олександр, Сергійович, Чайников Сергій Ле-
онідович(73) Одеський науково-дослідний інститут
зв'язку

(57) Устройство телеконтроля для линий передачи цифровой информации, содержащее на каждой оконечной станции источник информационного сигнала, генератор псевдослучайной последовательности, первый и второй коммутаторы, блок управления, первый анализатор псевдослучайной последовательности, элемент памяти, на каждой промежуточной станции регенераторы прямого и обратного направления, искусственную линию, элемент памяти, ключ, причем на оконечной станции выходы источника информационного сигнала и генератора псевдослучайной последовательности подключены соответственно к первому и второму входам первого коммутатора, выход которого соединен с линейным трактом, первый вход первого анализатора псевдослучайной последовательности соединен с выходом линейного тракта, выход элемента памяти подключен к первому входу блока управления, первый выход которого соединен с четвертым входом первого коммутато-

2

ра, вход устройства - вход источника информационного сигнала, а выход - вход линейного тракта оконечной станции, а на промежуточной станции первый выход регенератора прямого направления через первый вход искусственной линии подключен к первому входу регенератора обратного направления, выход элемента памяти через ключ подключен к коммутирующему входу регенератора обратного направления и второму входу искусственной линии, при этом регенератор прямого направления входом и первым выходом, а регенератор обратного направления вторым входом и выходом последовательно включены в линейный тракт, соединяющий оконечные и промежуточные станции, отличающееся тем, что в оконечную станцию введены третий коммутатор, второй анализатор псевдослучайной последовательности и индикатор ошибок, а в промежуточную станцию - третий анализатор псевдослучайной последовательности и четвертый коммутатор, причем, на оконечной станции второй анализатор псевдослучайной последовательности своим первым входом подключен к выходу линейного тракта и к третьему входу первого коммутатора, а вторым входом - к выходу третьего коммутатора, выход второго анализатора псевдослучайной последовательности подключен к элементу памяти, первый и второй выходы второго коммутатора соответственно подключены ко входу генератора псевдослучайной последовательности и второму входу первого анализатора псевдослучайной последовательности, выход которого подключен ко входу индикатора ошибок, третий выход второго коммутатора подключен ко второму входу блока управления, второй выход которого соединен с пятым входом первого коммутатора, на промежуточной станции второй выход реге-

(19) UA (11) 22050 (13) C1

нератора прямого направления и выход четвертого коммутатора подключены соответственно к информационному и установочному

входам третьего анализатора псевдослучайной последовательности, выход которого подключен ко входу элемента памяти.

Изобретение относится к технике связи и может быть использовано при построении систем передачи дискретной информации как по металлическим кабелям, так и по радиорелейным трактам и волоконно-оптическим кабелям (ВОК).

Известны устройства телеконтроля для обнаружения неисправного участка регенерации линий передачи цифровой информации [2,3].

Приведенные в этих авторских свидетельствах устройства позволяют отыскивать место повреждения в линиях передачи цифровой информации, но обладают существенными недостатками: для осуществления телеконтроля, передачи команды для организации шлейфа необходимо наличие фантомной или другой цепи с возможностью переполюсовки дистанционного питания. Кроме того, время обнаружения неисправного регенерационного участка слишком велико, так как для выяснения исправности тракта необходимо обязательно осуществить поочередно, начиная с первого необслуживаемого регенерационного пункта, проверку всех регенерационных участков тракта.

Другими аналогами предлагаемого изобретения могут быть устройства телеконтроля [4,5].

К недостаткам первого устройства относится сложность фазирования передаваемого и принимаемого испытательного сигналов, так как сбой испытательного сигнала ведет к расфазировке напряжений, приходящих на входы блока сравнения. Кроме того, точность работы такого устройства невелика при наличии дрожания фазы принимаемого сигнала в диапазоне, оговоренном соответствующими рекомендациями МККТТ. Точность определения достоверности вторым устройством также невелика. Так исчезновение одного информационного символа и появление другого ложного на выбранном временном интервале не приведет к обнаружению счетчиком ошибки, хотя их было две.

Наиболее близким по технической сущности к предлагаемому решению является устройство телеконтроля линейных трактов цифровых систем передачи [1], содержащее:

на каждой оконечной станции источник информационного сигнала, первый коммутатор, генератор псевдослучайной последовательности (ГПСП), блок управления, управляемый преобразователь кода, дешифратор фиксированной комбинации, делитель с переменным коэффициентом деления, анализатор нарушений биполярности, анализатор псевдослучайной последовательности (АПСП), второй коммутатор, счетчик, первый и второй элементы памяти, а на каждой промежуточной станции регенератор прямого направления, регенератор обратного направления, искусственную линию, элемент памяти, ключ, обнаружитель нарушений биполярности и линейный анализатор нарушений биполярности, при этом на каждой оконечной станции источник информационного сигнала и ГПСП своими выходами подключены к информационным входам первого коммутатора, выход которого подключен к первому входу управляемого преобразователя кода, выход которого соединен с линейным трактом, обнаружитель нарушений биполярности и АПСП, входы которых объединены и соединены с линейным трактом, выход АПСП подключен к первому входу второго коммутатора, второй вход и выход которого соединены соответственно с выходом обнаружителя нарушений биполярности и со счетным входом счетчика, выходы которого соединены с первым и вторым входами блока управления, служебные входы первого и второго коммутаторов подключены к соответствующим выходам блока управления, причем на тактовый вход счетчика и АПСП поданы тактовые импульсы, кроме того выход первого коммутатора через последовательно соединенные дешифратор фиксированной комбинации и делитель с переменным коэффициентом деления, установочные входы которого соединены с соответствующими выходами блока управления, подключен к второму входу управляемого преобразователя кода, установочный вход которого соединен с соответствующим входом блока управления, причем первый, второй и третий входы анализатора нарушений биполярности подключены соответственно к выходу и входам обнаружителя нарушений бипо-

лярности, а первый, второй, третий, четвертый и пятый выходы анализатора нарушений биполярности соединены соответственно через первый и второй элементы памяти с третьим и четвертым входами блока управления и с пятым входом блока управления непосредственно, соответствующие выходы которого соединены с установочными входами анализатора нарушений биполярности и счетчика, вход устройства — вход источника информационного сигнала, а выход — вход линейного тракта оконечной станции, на каждой промежуточной станции — регенератор прямого направления, выходы которого через искусственную линию подключены к входам регенератора обратного направления, элемент памяти, выход которого через ключ подключен к коммутирующему входу искусственной линии и к другому входу регенератора обратного направления, входы обнаружителя нарушений биполярности соединены с выходами регенератора прямого направления и с первым и вторым входами линейного анализатора нарушений биполярности, третий вход и выходы которого соединены соответственно с хронизирующим выходом регенератора прямого направления и с входами элемента памяти, а четвертый вход линейного анализатора нарушений биполярности соединен с выходом обнаружителя нарушений биполярности, причем регенераторы прямого и обратного направления соединены с линейным трактом.

Недостатком этого устройства является ограниченная область применения, так как его работа связана с конкретным линейным кодом (квазитроичным), структура которого нарушается по определенному закону.

Причем точность отремонта неисправного участка регенерации невысокая из-за различных условий передачи сигналов ИКМ в квазитроичном коде во время работы системы передачи и в режиме телеконтроля с квазитроичным кодом, содержащим некоторые нарушения структуры. Устройство работает с преобразователем линейного кода, который, изменяя структуру линейного сигнала, усложняет работу корректирующего устройства регенератора сигнала ИКМ, при этом АЧХ корректора становится неоптимальной и помехозащищенность регенератора ухудшается. Т.о. условия восстановления сигнала регенератором в рабочем режиме и режиме телеконтроля различны и неоптимальны в режиме диагностики, что может привести к определению неисправным участка регенерации, который нормально работает с рабочим сигналом. Последнее замечание особо важно в

случае, если не принимаются меры по балансировке такого модифицированного кода. Кроме того, к недостаткам описанного устройства можно отнести его сложность.

В основу изобретения поставлена задача в устройстве телеконтроля для линий передачи цифровой информации путем введения новых блоков и взаимосвязей в оконечной и промежуточной станциях при упрощении устройства обеспечить повышение точности телеконтроля и возможность работы устройства в составе различных систем передачи независимо от используемого линейного кода, в результате чего расширяется область его применения.

Поставленная задача решается тем, что в устройство телеконтроля для линий передачи цифровой информации, содержащее на каждой оконечной станции источник информационного сигнала, ГПСР, первый и второй коммутаторы, блок управления, первый АПСР, элемент памяти, на каждой промежуточной станции регенераторы прямого и обратного направления, искусственную линию, элемент памяти, ключ, причем на оконечной станции выходы источника информационного сигнала и ГПСР подключены соответственно к первому и второму информационным входам первого коммутатора, выход которого соединен с линейным трактом, первый вход первого АПСР соединен с выходом линейного тракта, выход элемента памяти подключен к первому входу блока управления, первый выход которого соединен с четвертым входом первого коммутатора, вход устройства — вход источника информационного сигнала, а выход — вход линейного тракта оконечной станции, а на промежуточной станции первый выход регенератора прямого направления через первый вход искусственной линии подключен к первому входу регенератора обратного направления, выход элемента памяти через ключ подключен к коммутирующему входу регенератора обратного направления и второму входу искусственной линии, при этом регенератор прямого направления входом и первым выходом, а регенератор обратного направления вторым входом и выходом последовательно включены в линейный тракт, соединяющий оконечные и промежуточные станции, согласно изобретению, в оконечную станцию введены третий коммутатор, второй АПСР и индикатор ошибок, а в промежуточную станцию — третий АПСР и четвертый коммутатор, причем на оконечной станции второй АПСР своим первым входом подключен к выходу линейного тракта и к третьему входу первого коммутатора, а вторым входом — к выходу третьего коммутато-

ра, выход второго АПСП подключен к элементу памяти, первый и второй выходы второго коммутатора соответственно подключены ко входу ГПСП и второму входу первого АПСП, выход которого подключен ко входу индикатора ошибок, третий выход второго коммутатора подключен ко второму входу блока управления, второй выход которого соединен с пятым входом первого коммутатора, на промежуточной станции второй выход регенератора прямого направления и выход четвертого коммутатора подключены соответственно к информационному и установочному входам третьего АПСП, выход которого подключен ко входу элемента памяти.

Упрощение предлагаемого устройства телеконтроля по сравнению с прототипом достигается с помощью введенных блоков третьего и четвертого коммутаторов, которые устанавливают "длину" регистров ГПСП и АПСП, при этом устройство передачи команды на организацию шлейфа ГПСП одновременно является источником информационного сигнала в режиме диагностики, а устройство приема команды для организации шлейфа проверяемой станции и устройство приема и оценки качества передачи по шлейфуемому участку также выполнено на одном и том же устройстве — АПСП. Преобразователь линейного кода, анализатор нарушения биполярности и дешифратор фиксированной комбинации в предлагаемом устройстве таким образом не нужны.

Такая реализация устройства телеконтроля для линий передачи цифровой информации не требует, кроме того, отдельного канала или цепи для передачи квитанции с необслуживаемых станций.

Увеличение точности телеконтроля в предлагаемом устройстве обеспечивается введением ГПСП и АПСП с коммутируемой структурой, что позволяет работать с псевдослучайными последовательностями различной длины, структура линейного сигнала не изменяется, АЧХ корректора регенератора оптимальна, помехозащищенность регенератора стабильна. Условия восстановления сигнала регенератором в рабочем режиме и режиме телеконтроля (диагностики) одинаковы.

Предлагаемое устройство телеконтроля может работать в любых системах передачи, использующих в качестве линейных не только квазитроичные коды, т.е. расширяется область его применения.

На фиг. 1 приведена функциональная схема предлагаемого устройства; на фиг. 2 — функциональная схема включения третьего и четвертого коммутаторов; на фиг. 3 — фун-

кциональная схема включения второго коммутатора, на фиг. 4 — функциональная схема блока управления; на фиг. 5 — функциональная схема первого коммутатора; на фиг. 6 — функциональная схема элемента памяти; на фиг. 7 — функциональная схема индикатора ошибок.

Устройство телеконтроля для линий передачи цифровой информации содержит на каждой оконечной станции 1: источник информационного сигнала 2, генератор псевдослучайной последовательности 3, первый коммутатор 4, второй коммутатор 5, блок управления 6, третий коммутатор 7, элемент памяти 9, первый и второй анализаторы псевдослучайной последовательности 8 и 10 соответственно, индикатор ошибок 11, а на каждой промежуточной станции 12 регенераторы прямого и обратного направления 13 и 19 соответственно, четвертый коммутатор 14, третий анализатор псевдослучайной последовательности 15, элемент памяти 16, ключ 17, искусственную линию 18, при этом на оконечной станции 1 выходы источника информационного сигнала 2 и ГПСП 3 подключены соответственно к первому и второму входам первого коммутатора 4, выход которого соединен с линейным трактом, первый вход первого анализатора псевдослучайной последовательности 8 соединен с выходом линейного тракта, выход элемента памяти 9 подключен к первому входу блока управления 6, первый выход которого соединен с четвертым входом первого коммутатора 4, второй АПСП 10 своим первым входом подключен к выходу линейного тракта и к третьему входу первого коммутатора 4, а вторым входом — к выходу третьего коммутатора 7, выход второго АПСП 10 подключен к элементу памяти 9, первый и второй выходы второго коммутатора 5 соответственно подключены ко входу ГПСП 3 и второму входу первого АПСП 8, выход которого подключен ко входу индикатора ошибок 11, третий выход второго коммутатора подключен ко второму входу блока управления 6, второй выход которого соединен с пятым входом первого коммутатора 4, на промежуточной станции первый выход регенератора прямого направления 13 через первый вход искусственной линии 18 подключен к первому входу регенератора обратного направления 19, выход элемента памяти 16 через ключ 17 подключен к коммутируемому входу регенератора обратного направления 19 и второму входу искусственной линии 18, второй выход регенератора прямого направления 13 и выход четвертого коммутатора 14 подключены соответственно к информационному и установочному входам

третьего АПСР 15, выход которого подключен ко входу элемента памяти 16, при этом регенератор прямого направления 13 входом и первым выходом, а регенератор обратного направления 19 вторым входом и выходом последовательно включены в линейный тракт, соединяющий оконечные и промежуточные станции, вход устройства – вход источника информационного сигнала 2, а выход – вход линейного тракта оконечной станции 1. В качестве линейного тракта может быть радиорелейный или кабельный с металлическими или оптическими жилами независимо от применяемого кода линейного сигнала.

ГПСР 3 и АПСР 8, 10 и 15 могут быть выполнены по известным схемам на базе сдвиговых регистров аналогично соответствующим устройствам в прототипе, причем изменение длины псевдослучайной последовательности осуществляется проключением с помощью второго 5, третьего 7 и четвертого 14 коммутаторов определенного числа триггеров в регистрах. Третий и четвертый коммутаторы 7 и 14 функционально одинаковы и могут быть реализованы например с помощью установки перемычек.

Функциональная схема коммутаторов 7 и 14 представлена на фиг. 2. Второй коммутатор 5 может быть реализован, например, с помощью кнопочного переключателя, причем установка ГПСР и первого АПСР осуществляется в одинаковые состояния, что позволяет проверять прошедший по шлейфу сигнал ГПСР на рекуррентность первым АПСР. При включении второго коммутатора на его третьем выходе формируется управляющий сигнал для блока управления 6

Функциональная схема второго коммутатора представлена на фиг. 3. Блок управления реализован на ключах, коммутируемых в зависимости от наличия на их управляющих входах сигналов с элемента памяти или второго коммутатора так, что на его выходах появляются сигналы постоянного тока для работы первого коммутатора.

Функциональная схема блока управления представлена на фиг. 4

Первый коммутатор может быть реализован с помощью простой релейной схемы, проключающей в зависимости от наличия управляющих сигналов один из входных сигналов на его выход в линейный тракт.

Функциональная схема первого коммутатора представлена на фиг. 5. Элемент памяти 16 может быть реализован на RC цепочке с выбранной постоянной времени. Функциональная схема элемента памяти представлена на фиг. 6.

Индикатор ошибок 11 может быть реализован в виде светодиода, на вход которого поступают импульсы с выхода АПСР 11, сформированные одновибратором для удобства визуального наблюдения, и гнезда для подключения счетчика ошибок. Функциональная схема блока индикатора ошибок представлена на фиг. 7.

Устройство работает следующим образом.

В условиях прохождения рабочего информационного сигнала со входа оконечной станции 1 через источник информационного сигнала 2 первый коммутатор 4 пропускает его в линейный тракт. На каждой промежуточной станции 12 третий АПСР 15 проверяет на рекуррентность выходной сигнал регенератора 13 и, не обнаружив в нем псевдослучайной последовательности заданной длины, не осуществляет через элемент памяти 16 и ключ 17 шлейф принятого сигнала через искусственную линию 18 и регенератор 19. На следующей оконечной станции информационный сигнал с выхода линейного тракта поступает на выход станции и параллельно на АПСР 10 для проверки на рекуррентность принятого сигнала. Как и в промежуточной станции АПСР 10, не обнаружив "своей" псевдослучайной последовательности, формирует на своем выходе импульсы с достаточно высокой частотой следования для того, чтобы элемент памяти 9 через блок управления 6 не создавал условий для замыкания шлейфа удаленной оконечной станции 1 с помощью первого коммутатора 4. ГПСР 3 и индикатор ошибок 11 при этом не работают.

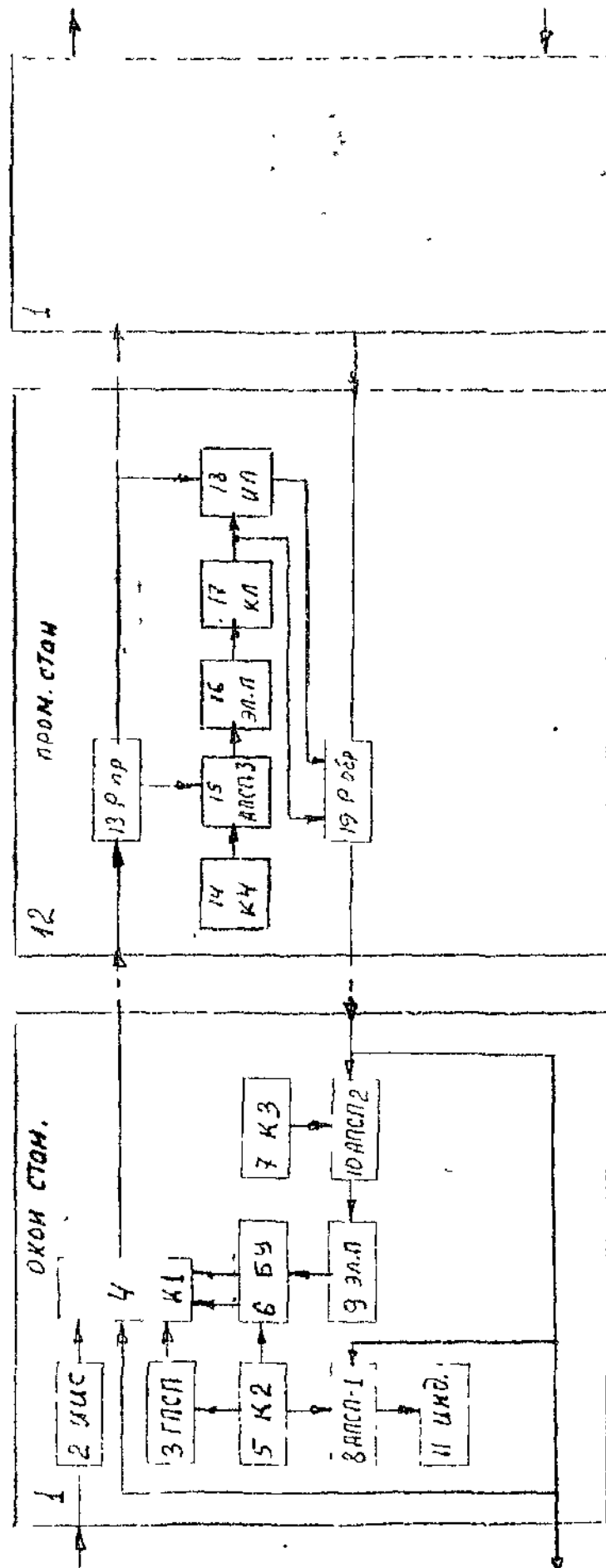
В режиме диагностики для проверки всего линейного тракта или любого участка регенерации включением второго коммутатора 5 на оконечной станции 1 запускается ГПСР 3, а блок управления 6 воздействует на первый коммутатор 4, в результате чего вместо информационного сигнала в линейный тракт поступает сигнал с блока 3. Кроме того, второй коммутатор 5 устанавливает определенную длину псевдослучайной последовательности ГПСР 3 и в соответствующее состояние схему первого АПСР 8. Теперь, если по шлейфу сигнал вернется на оконечную станцию 1, АПСР 8 будет проверять качество проверяемого участка по нарушению структуры псевдослучайной последовательности, причем импульсы ошибок индицируются индикатором ошибок 11.

Для осуществления шлейфа N-ой промежуточной станции 12 второй коммутатор 5 устанавливает ГПСР 3 и АПСР 8 в режим работы с псевдослучайной последователь-

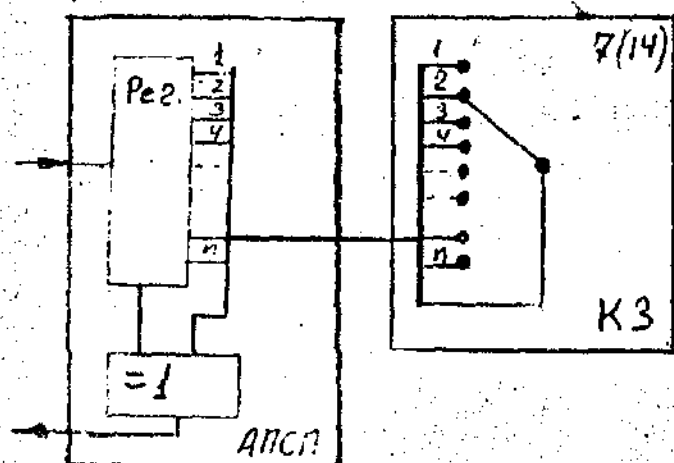
ностью определенной длины, соответствующей N-ой промежуточной станции 12, при этом в линии на N-ой промежуточной станции с помощью четвертого коммутатора 14 АПСР 15 также установлен для работы с псевдослучайной последовательностью той же длины. Тогда блок 15 обнаруживает "свою" псевдослучайную последовательность и соответствующим сигналом на своем выходе через элемент памяти 16, ключ 17, искусственную линию 18 обеспечивает замыкание шлейфа с регенератора прямого направления 13 через регенератор обратного направления 19 в сторону оконечной станции 1, где, как описано выше, происходит прием и анализ принятого сигнала блоками АПСР 8 и индикатора ошибок 11. При этом сигнал от последующей N+1-ой промежуточной станции отключен от регенератора обратного направления.

Для шлейфа N+1-ой промежуточной станции ГПСР 3 и АПСР 8 коммутируются вторым коммутатором 5 в режим работы с псевдослучайной последовательностью другой длины, а АПСР 15 в N+1-ой промежуточной станции четвертым коммутатором 14 установлен в режим работы с этой псевдослучайной последовательности.

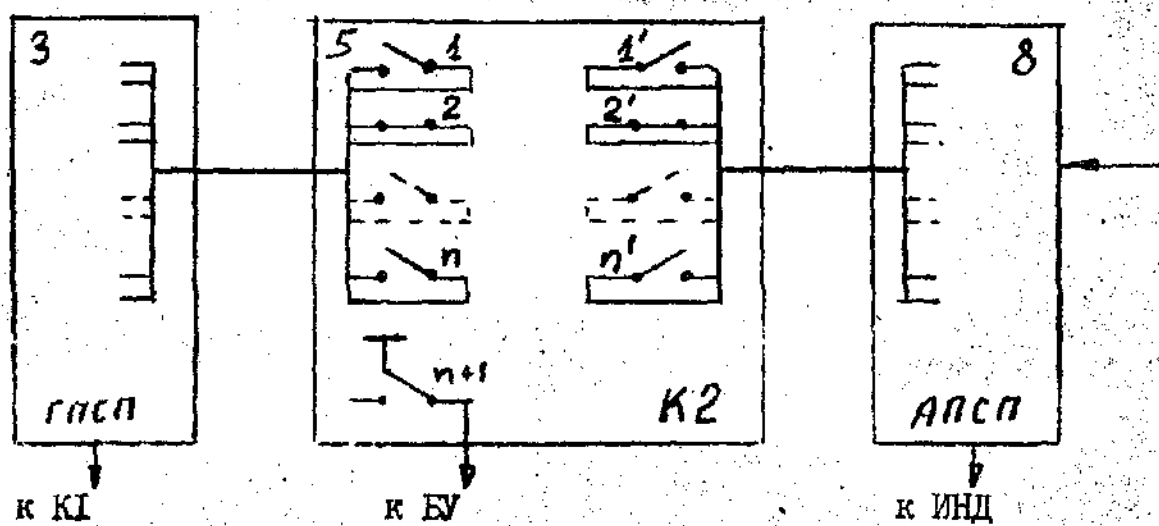
Для осуществления шлейфа удаленной оконечной станции 1 второй коммутатор 5 устанавливает ГПСР 3 и АПСР 8 на проверяющей станции также, как и в случае проверки промежуточной станции, в режим работы с псевдослучайной последовательностью определенной длины. Вторым АПСР 10 на проверяемой станции 1 установлен третьим коммутатором 7 в состояние, соответствующее состоянию ГПСР 3 на проверяющей станции, например при шлейфе всего тракта работа осуществляется с псевдослучайной последовательностью длиной $2^{15}-1$ тактовых интервалов, рекомендованной МККТТ в качестве испытательного сигнала для скорости передачи 2048 кбит/с. Принятый удаленной оконечной станцией 1 сигнал вторым АПСР 10 и элементом памяти 9 обрабатывается также, как в промежуточной станции 12 и, воздействуя через блок управления 6 на первый коммутатор 4, отключает информационный сигнал от линейного тракта и передает обратно к проверяющей станции принятый сигнал, организуя шлейф. Качество принимаемого сигнала при этом также оценивается проверкой на рекуррентность блоком 8 и индикацией ошибок блоком 11.



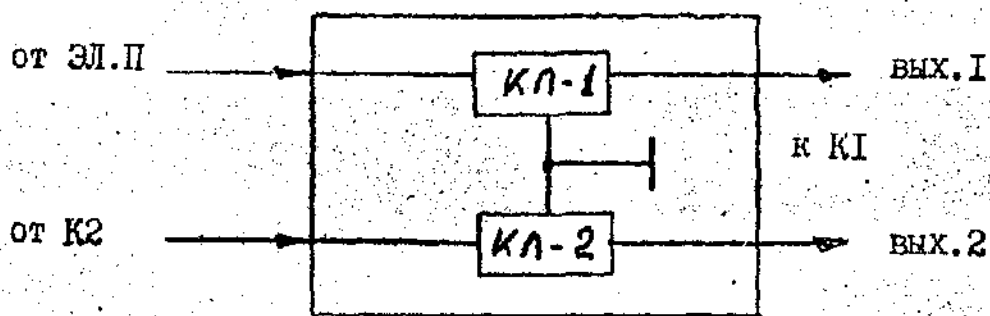
Фиг. 1



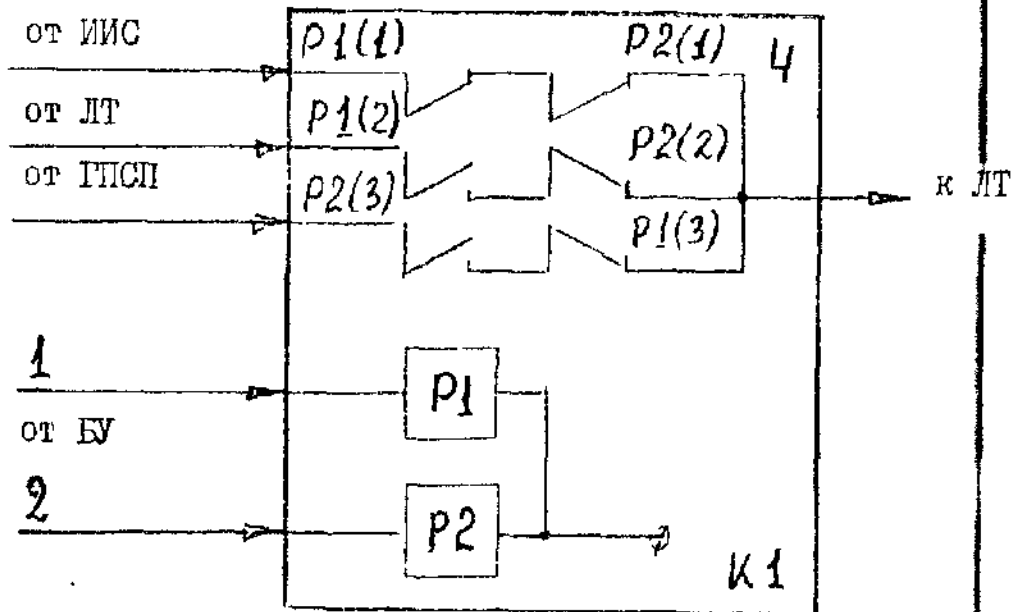
Фиг. 2



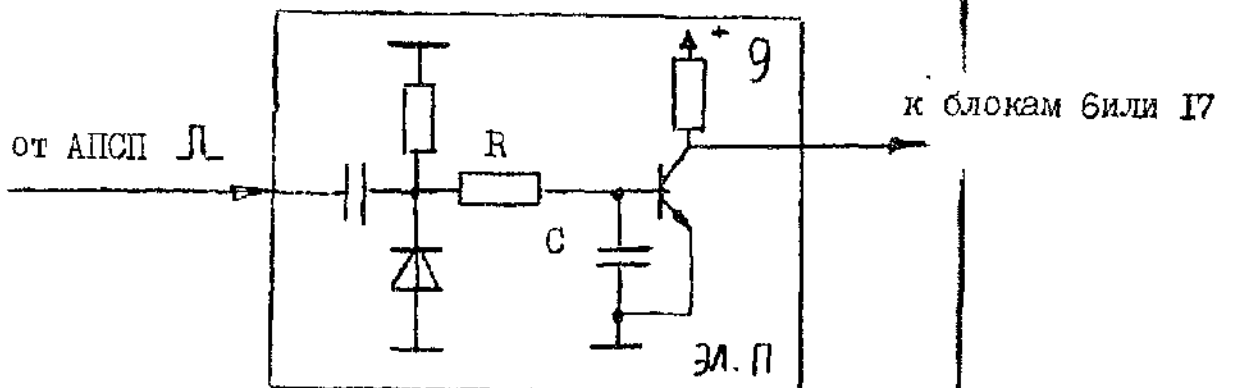
Фиг. 3



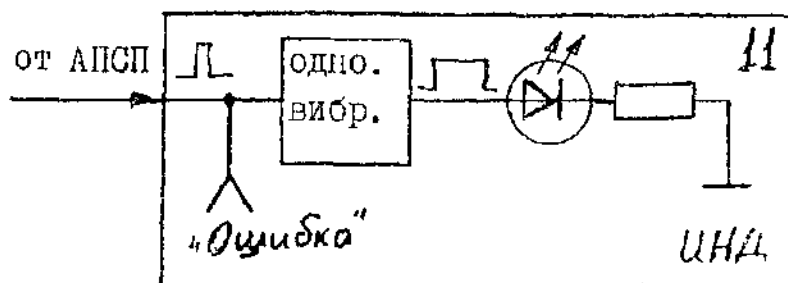
Фиг. 4



Фиг. 5



Фиг. 6



Фиг. 7

Упорядник

Техред М Келемеш

Коректор О.Обручар

Замовлення 4687

Тираж

Підписне

Державне патентне відомство України,
254655, ГСП, Київ-53, Львівська пл., 8

Відкрите акціонерне товариство "Патент", м. Ужгород, вул. Гагаріна 101

