



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

ДЛЯ СЛУЖЕБНОГО ПОЛЬЗОВАНИЯ ЭКЗ. № 003060

(19) **SU** (11) **1577521** **A1**

(51) **G 01 P 3/48**

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4405292/24-10

(22) 07.04.88

(72) В.А.Безсчастный

(53) 531.112(088.8)

(56) Авторское свидетельство СССР

№ 751239, кл. G 08 B 21/00,

G 01 P 3/48, 1979.

Авторское свидетельство СССР

№ 1489379, кл. G 01 P 3/48, 1988.

(54) СИГНАЛИЗАТОР ПРЕДЕЛЬНОЙ СКОРОСТИ
ВРАЩЕНИЯ ВАЛА

(57) Изобретение относится к автоматике, а именно к сигнализаторам скорости вращения вала, работающим от частотного датчика. Целью изобретения является повышение достоверности

2

контроля при достижении предельной скорости вращения. Сигнализатор позволяет обнаружить неисправность линии связи с датчиком оборотов. Сигнализация осуществляется путем сравнения длительностей заданного числа периодов сигнала с датчика и образцового импульса на выходе таймера. Работой устройства управляет программный блок, который обеспечивает задержку выдачи сигнала о превышении скорости до окончания проверки этой информации на достоверность, а также осуществляется самоконтроль устройства в целом как при работающем, так и при неработающем агрегате. 5 ил.

Изобретение относится к автоматике, в частности к сигнализаторам скорости вращения вала, работающим от частотного датчика.

Цель изобретения - повышение достоверности контроля при достижении предельной скорости вращения.

На фиг.1 представлена структурная схема сигнализатора предельной скорости вращения вала; на фиг.2 - структурная схема таймера; на фиг.3 - пример выполнения формирователя запрещающего сигнала; на фиг.4 - временные диаграммы работы устройства; на фиг.5 - циклограмма работы программного блока.

Сигнализатор содержит формирователь 1 импульсов, коммутатор 2, переключатель 3, счетные триггеры 4 и 5, делитель 6 частоты, сигнализатор 7, элемент ИЛИ-НЕ 8, дифференцирующий элемент 9, счетный триггер 10, таймер 11, элемент И-НЕ 12, счетный триггер 13, элементы И-НЕ 14, 15, RS-триггер 16, элемент И-НЕ 17 запуска, программный блок 18, формирователь 19 запрещающего сигнала, триггер 20 управления, элемент И-НЕ 21, элемент ИЛИ-НЕ 22, элемент И 23 управления, элемент ИЛИ-НЕ 24, элемент И-НЕ 25, триггер 26 памяти, формирователь 27, выходной элемент И 28, счетчик 29 импульсов.

В состав таймера 11 (фиг.2) входят RS-триггер 30, счетчик 31 импульсов, элемент И-НЕ 32, генератор 33 тактовых импульсов.

В состав формирователя 19 (фиг.3) запрещающего сигнала входят два триггера отказа, каждый из которых подключен к элементу ИЛИ.

(59) **SU** (11) **1577521** **A1**

В сигнализаторе 7 выход формирователя 1 импульсов подключен к сигнализатору 7 и коммутатору 2, выход которого через счетные триггеры 10 и 13 соединен с элементом И-НЕ 15. Выход сигнализатора 7 через элемент ИЛИ-НЕ 8 соединен с таймером 11 и RS-триггером 16, Q и \bar{Q} -входы которого соединены с формирователем 19 запрещающего сигнала, причем Q-выход RS-триггера 16 подключен также к входам элемента И-НЕ 17 запуска, триггера 20 управления, элемента И 23 управления и триггера 26 памяти, а \bar{Q} -выход RS-триггера 16 — к элементу ИЛИ-НЕ 22.

Выход 18₁ программного блока 18 соединен с вторым входом триггера 26 памяти. Выход 18₂ программного блока подключен к оставшемуся входу элемента ИЛИ-НЕ 22 и к входу элемента И-НЕ 21, подключенного через элемент ИЛИ-НЕ 24 к выходному элементу И 28. Выход 18₂ подключен к второму входу элемента ИЛИ-НЕ 8. Выход 18₃ программного блока 18 подключен к оставшемуся входу коммутатора 2.

Выходы 18₄ и 18₆ подключены к двум оставшимся входам формирователя 19 запрещающего сигнала, а выходы 18₅ и 18₇ — к входам счетного триггера 5 соответственно, выход Q которого подключен к одному из входов переключателя 3, а выход Q счетного триггера 5 соединен с одним из входов счетного триггера 4, выход \bar{Q} которого подключен к второму входу переключателя 3, выход которого соединен с оставшимся входом коммутатора 2, а третий вход — с одним из выходов делителя 6 частот, подключенного также к другому входу счетного триггера 4. Второй выход делителя 6 частоты соединен соответственно с входами элемента И-НЕ 17 запуска счетчика 29 импульсов. Вход делителя 6 частоты соединен с одним из выходов таймера 11, выход Q которого подключен к одному из входов элемента И-НЕ 14, выход \bar{Q} — к одному из входов элемента И-НЕ 15, а вход таймера 11 соединен с выходом элемента И-НЕ 12.

Выход дифференцирующего элемента 9 соединен с входом элемента И-НЕ 12 и вторыми входами элементов И-НЕ 14 и 15 соответственно, а вход дифференцирующего элемента 9 — с \bar{Q} -выходом счетного триггера 10, Q-выход

которого соединен с входом счетного триггера 13, \bar{Q} -выход которого подключен к соответствующим входам элементов И-НЕ 14 и 15, а Q-выход — к элементу И-НЕ 12. Выходы элементов И-НЕ 14 и 15 подключены к двум оставшимся входам RS-триггера 16.

Выход \bar{Q} -триггера 20 управления соединен с оставшимся входом элемента И-НЕ 17 запуска, выход которого подключен к программному блоку 18. Выход \bar{Q} -триггера 20 управления соединен с вторым входом элемента 23, выход которого соединен с вторым входом элемента И-НЕ 21 и входом формирователя 27, выход которого соединен с вторым входом триггера 20 управления, третий вход которого подключен к выходу 18₈ программного блока 18, выход 18₉ которого соединен с оставшимся входом триггера 26 памяти, выход которого через элемент И-НЕ 25 соединен с элементом ИЛИ-НЕ 24. Выход счетчика 29 импульсов подключен к элементам И-НЕ 21 и 25. Выход формирователя 19 соединен с вторым входом выходного элемента И 28.

Работа сигнализатора заключается в следующем. При включении напряжения питания все элементы сигнализатора устанавливаются в исходное состояние, обеспечивающее его дальнейшее функционирование.

В исходном (невозбужденном) состоянии сигналы управления контролем с программного блока 18 на элементы не выдаются, а на них присутствуют потенциалы в виде логического уровня "1", обеспечивающие обработку сигналов с датчика оборотов.

Сигналы с датчика в виде переменного напряжения, период следования которого пропорционален скорости вращения вала агрегата, поступает на формирователь 1 прямоугольных импульсов, где переменное напряжение преобразуется в прямоугольные импульсы, например логического уровня "1".

С формирователя 1 прямоугольные импульсы поступают на сигнализатор 7 и коммутатор 2. При этом на входе, соединенном с программным блоком 18 (цепь 18₃), присутствует сигнал, разрешающий прохождение прямоугольных импульсов, характеризующих состояние агрегата по оборотам, на счетный триггер 10.

Сигнализатор 7 может быть выполнен, например, на базе интегратора. При наличии импульсов с формирователя 1 сигнализатор 7 выдает через элемент ИЛИ-НЕ 8 сигнал, разрешающий функционирование таймера 11 и RS-триггера 16.

Сигнализатор 7 предназначен для контроля работоспособности формирователя 1 при работающем агрегате и выдачи при этом сигнала для обеспечения функционирования таймера и RS-триггера 16.

При обрыве цепи датчика или отказе формирователя 1 импульсов при работающем агрегате на выходе сигнализатора 7 сигнал исчезает, что прекращает функционирование таймера 11 и RS-триггера 16, вследствие чего они устанавливаются в исходное состояние и удерживаются в нем до появления разрешающего сигнала с сигнализатора 7. При этом исключается ложная выдача команд сигнализатором.

В исходном состоянии на выходе \bar{Q} таймера имеется сигнал с логическим уровнем "0", а на выходе Q — сигнал с логическим уровнем "1".

В исходном состоянии на выходе Q триггера 5 — сигнал с логическим уровнем "0", на выходе \bar{Q} — сигнал с логическим уровнем "1", на выходе \bar{Q} триггера 4 — сигнал с логическим уровнем "1", на выходе Q RS-триггера 16 — сигнал с логическим уровнем "0", а на выходе \bar{Q} — сигнал с логическим уровнем "1". С коммутатора 7 прямоугольные импульсы (см. фиг. 4а), период следования которых пропорционален скорости вращения вала, поступают на счетный триггер 10. На Q-выходе триггера 10 оказываются импульсы (см. фиг. 4б), длительность которых равна периоду входной последовательности импульсов.

Импульсы (см. фиг. 4в) с \bar{Q} -выхода триггера 10 поступают на дифференцирующий элемент 9, на выходе которого вырабатываются короткие импульсы (см. фиг. 4г), поступающие на элементы И-НЕ 12, 14 и 15.

Импульсы (см. фиг. 4б) с Q-выхода триггера 10 поступают на счетный триггер 13. Последовательность импульсов (см. фиг. 4д) с Q-выхода триггера 13 поступает на элемент И-НЕ 12, а с \bar{Q} -выхода триггера 13 импульсная последовательность (см.

фиг. 4е) поступает на элементы И-НЕ 14 и 15. При совпадении сигналов (см. фиг. 4г, д) с логическим уровнем "1" на выходе элемента И-НЕ 12 оказываются импульсы (см. фиг. 4ж) с логическим уровнем "0", которые поступают на запускаящий вход таймера 11 и возбуждают его. При поступлении запускаящего импульса с элемента И-НЕ 12 (см. фиг. 4ж) в момент времени t_1 на выходе \bar{Q} возбужденного таймера 11 появляется сигнал с логическим уровнем "1" (см. фиг. 7и), длительность которого равна двум периодам заданного уровня ограничения предельной скорости вращения вала.

Допустим, что счетный триггер 13 находится в состоянии, когда на выходе Q (см. фиг. 4д, момент времени t_2) — сигнал с логическим уровнем "1", а на выходе \bar{Q} — сигнал с логическим уровнем "0" (см. фиг. 4е). С выхода Q (см. фиг. 4д) триггера 13 на элемент И-НЕ 12 поступает сигнал с логическим уровнем "1", который разрешает его функционирование под действием короткого импульса с логическим уровнем "1" (см. фиг. 4г), сформированного дифференцирующим элементом 9 по заднему фронту n -го импульса (см. фиг. 4в). С элемента И-НЕ 12 импульс с логическим уровнем "0" (см. фиг. 4ж, момент времени t_2) поступает на таймер 11 и возбуждает его, на выходе \bar{Q} (см. фиг. 4и, момент времени t_2) появляется сигнал с логическим уровнем "1", а на Q-выходе — сигнал с логическим уровнем "0" (см. фиг. 4к, момент времени t_2), длительность которых равна двум периодам входного сигнала соответствующего уровня ограничения оборотов.

По заднему фронту импульс Q-выхода триггера 10 (см. фиг. 4б) устанавливает счетный триггер 13 в другое устойчивое состояние, при котором на Q-выходе оказывается сигнал с логическим уровнем "1" (см. фиг. 4е, момент времени t_3).

В этом случае короткий импульс, сформированный по заднему фронту $n+1$ -го импульса (см. фиг. 4в, момент времени t_4), элемент И-НЕ 12 не возбуждает, т.е. с Q-выхода счетного триггера 13 поступает сигнал с логическим уровнем "0" (см. фиг. 4д, момент времени t_4). При наличии на входах элемента И-НЕ 14 разрешающих

сигналов с логическим уровнем "1", поступающих с \bar{Q} -выхода таймера 11 (см. фиг.4и, момент времени t_4) и \bar{Q} -выхода триггера 13 (см. фиг.4е, момент времени t_4), и при поступлении короткого импульса (см. фиг.4г, момент времени t_4), сформированного дифференцирующим элементом 9 по заданному фронту $n+1$ -го импульса (см. фиг.4в), на выходе элемента И-НЕ 14 появляется импульс с логическим уровнем "0" (см. фиг.4л, момент времени t_4).

На выходе элемента И-НЕ 15 присутствует сигнал с логическим уровнем "1" из-за наличия на одном его входе сигнала с логическим уровнем "0" с \bar{Q} -выхода таймера 11.

Импульс с логическим уровнем "0" (см. фиг.4л, момент времени t_4) с элемента И-НЕ 14 устанавливает RS-триггер 16 в состояние, при котором на его \bar{Q} -выходе появляется сигнал с логическим уровнем "1" (см. фиг.4н, момент времени t_4), а на \bar{Q} -выходе соответственно сигнал с логическим уровнем "0". Наличие сигнала с логическим уровнем "1" на выходе \bar{Q} RS-триггера 16 свидетельствует о том, что достигнута предельная скорость вращения вала.

Если с \bar{Q} -выхода таймера 11 сигнал с логическим уровнем "1" исчезает до поступления импульса с дифференцирующего элемента 9 на вход элемента И-НЕ 14, на его выходе импульс с логическим уровнем "0" отсутствует (см. фиг.4л, момент времени t_4), а на выходе элемента И-НЕ 15 присутствует импульс с логическим уровнем "0" (см. фиг.4м), т.к. на его входе присутствуют сигналы с логическим уровнем "1" с \bar{Q} -выхода таймера 11 (см. фиг.4к), \bar{Q} -выхода триггера 13 (см. фиг.4е) и импульс с дифференцирующего элемента 9 (см. фиг.4г) после момента времени t_4 . Импульс с элемента И-НЕ 15 возвращает RS-триггер 16 в исходное состояние.

Это соответствует состоянию, когда скорость вращения вала ниже предельной.

Контроль функционирования сигнализатора осуществляется как при наличии, так и при отсутствии сигнала датчика, т.е. перед запуском агрегата проверяют техническое состояние сигнализатора предельной скорости

вращения вала по команде, например, с пульта оператора.

При достижении предельной скорости вращения вала агрегата проверка технического состояния сигнализатора осуществляется автоматически.

При появлении на выходе \bar{Q} RS-триггера 16 сигнала в виде логического уровня "0", поступающего на вход элемента ИЛИ-НЕ 22, на выходе последнего получается сигнал с логическим уровнем "1", разрешающий функционирование счетчика 29 под действием импульсов, поступающих с делителя 6 частоты.

На выходе счетчика 29 имеется сигнал с логическим уровнем "0" до тех пор, пока не произойдет его переполнение и он не станет на самоблокировку. Время переполнения счетчика 29 больше времени, в течение которого гарантирована безопасная работа агрегата с предельной скоростью вращения вала. Это позволяет исключить ложную выдачу команды на исполнительный элемент в период воздействия импульсных электромагнитных помех на линию связи датчик оборотов — сигнализатор, когда скорость вращения вала агрегата ниже предельно допустимой.

При появлении на выходе \bar{Q} RS-триггера 16 сигнала в виде логического уровня "1", поступающего на вход элемента И-НЕ 17 запуска, на двух других входах последнего присутствуют сигналы с логическим уровнем "1" с \bar{Q} -выхода триггера 20 управления и импульсы с логическим уровнем "1" с делителя 6 частоты. На выходе элемента 17 И-НЕ оказываются импульсы с логическим уровнем "0", которые и запускают программный блок 18.

Поступление импульсов с логическим уровнем "0" с элемента И-НЕ 17 при достижении агрегатом предельной скорости вращения вала приводит к возбуждению программного блока 18, который выдает последовательность импульсов заданной длительности с заданным интервалом между их выдачей (см. фиг.5).

Импульс опроса 18₁ (см. фиг.5) с программного блока 18 поступает на триггер 26 памяти, который предназначен для запоминания сигнала о дос-

тижении валом агрегата предельной скорости вращения.

Это необходимо для того, чтобы исключить прекращение выдачи сигнала на исполнительный элемент на время прохождения самоконтроля при работе агрегата на предельной скорости вращения вала, например, по запросу оператора.

Триггер 26 памяти меняет свое состояние, и на Q-выходе появляется сигнал с логическим уровнем "1", который поступает на элемент И-НЕ 25, но не проходит через него, т.к. на втором его входе присутствует сигнал с логическим уровнем "0" с выхода счетчика 29.

Затем с блока 18 на элемент И-НЕ 21 поступает сигнал 18₂ (см. фиг.5), запрещающий прохождение через него сигналов на выход устройства. Этот же сигнал поступает на элемент ИЛИ-НЕ 22, подтверждая на его выходе сигнал с логическим уровнем "1" для обеспечения функционирования счетчика 29, а также на элемент ИЛИ-НЕ 8, подтверждая на его выходе сигнал с логическим уровнем "1" для обеспечения функционирования таймера 11 и RS-триггера 16 (проведение самоконтроля при неработающем агрегате).

Одновременно с сигналом 18₂ выдается сигнал 18₃ (см. фиг.5) по одноименной цепи блока 18 на коммутатор 2. Этот сигнал запрещает прохождение импульсной последовательности с формирователя 1 (при работающем агрегате) и разрешает прохождение через коммутатор 2 контрольной частоты, поступающей с переключателя 3, которая обеспечивает выдачу на Q-выходе RS-триггера 16 сигнала с логическим уровнем "1", а на Q-выходе — сигнала с логическим уровнем "0", как при предельной скорости вращения вала (такое состояние проверки важно при проведении самоконтроля при неработающем агрегате). С интервалом Δt с момента выдачи сигнала 18₃ выдается импульс 18₄ с логическим уровнем "1" по одноименной цепи 18₄ блока 18 на формирователь 19 запрещающего сигнала, который не изменяет своего состояния при условии выдачи RS-триггером 16 вышеоговоренных сигналов (Q-выход сигнала с логическим уровнем "1", Q-выход сигнала с логическим уровнем "0" RS-триггера 16). Это

свидетельствует о том, что измерительный тракт функционирует правильно.

Формирователь 19 запрещающего сигнала состоит из двух триггеров 34, 35 и элемента ИЛИ 36 (см. фиг.3). Если отказал хотя бы один из элементов измерительного тракта (коммутатор 2, элемент ИЛИ-НЕ 18, дифференцирующий элемент 9, счетный триггер 10, таймер 11, элементы И-НЕ 12, 14 и 15, триггер 13 и RS-триггер 16), а также триггеры 4, 5, переключатель 3 и при этом не выдают частотный сигнал или выдают, но частота соответствует скорости вращения вала ниже допустимой, формирователь 19 под воздействием импульса 18₄ изменяет свое состояние и на его выходе появляется сигнал с логическим уровнем "0". Этот сигнал воздействует на элемент И 28 и запрещает прохождение через последний сигналов на исполнительный элемент. Кроме того, осуществляется сигнализация нарушения работы устройства, в том числе и при отказе вышеперечисленных элементов схемы контроля. Затем на счетный вход триггера 5 поступает импульс 18₅ по одноименной цепи блока 18 с логическим уровнем "1" (см. фиг.5), переводящий триггер 5 в другое устойчивое состояние, при котором с Q-выхода на установочный вход триггера 4 поступает сигнал с логическим уровнем "1", разрешающий его функционирование под действием импульсов с делителя 6 частоты, а с Q-выхода сигнал в виде логического уровня "0" поступает на переключатель 3. Этот сигнал запрещает прохождение через последний импульсов непосредственно с делителя 6 частоты и разрешает прохождение импульсов с Q-выхода триггера 4 на коммутатор 2.

Период следования импульсов, поступающих с Q-выхода триггера 4 через переключатель 3 на коммутатор 2, больше периода ограничения предельной скорости вращения вала, а следовательно, тракт измерения должен, если в нем отсутствует неисправность, изменить состояние RS-триггера 16, при котором на Q-выходе появляется сигнал с логическим уровнем "0", на Q-выходе — сигнал с логическим уровнем "1". Это состояние RS-триггера 16 соответствует случаю, когда скорость вращения вала ниже

предельной. С интервалом Δt_1 (см. фиг.5) с момента прохождения импульса 18₅ выдается импульс 18₆ с логическим уровнем "1" по одноименной цепи с блока 18 на второй вход формирователя 19 запрещающего сигнала, который не изменяет своего состояния при отсутствии отказов в измерительном тракте и схеме формирования контрольной частоты.

Если при подаче второй контрольной частоты состояние сигналов на выходе RS-триггера 16 не изменяется и остается таким, что и при первой контрольной частоте, а именно, на Q-выходе RS-триггера 16 сигнал с логическим уровнем "1", а на \bar{Q} -выходе — сигнал с логическим уровнем "0", формирователь 19 изменяет свое состояние под действием импульса 18₆ на противоположное. Тогда сигнал с логическим уровнем "0" воздействует на элемент И 28 и запрещает прохождение через него сигнала на исполнительный элемент. Кроме того, по сигналу с формирователя 19 осуществляется сигнализация об отказе устройства.

Затем в момент времени t_0 снимается сигнал 18₃, поступающий на коммутатор 2, в результате чего запрещается прохождение через него сигнала с переключателя 3 и разрешается прохождение импульсов с формирователя 1.

В результате обработки сигнала с датчика на Q-выходе RS-триггера 16 присутствует сигнал с логическим уровнем "1", т.е. состояние, соответствующее предельной скорости вращения вала.

В момент времени t_1 (см. фиг.5) выдается импульс 18₇ с логическим уровнем "0" по одноименной цепи блока 18, который устанавливает триггер 5 в исходное состояние, при котором запрещается функционирование триггера 4 и разрешается прохождение на выход переключателя 3 контрольной частоты непосредственно с делителя 6.

Кроме того, в момент времени t_1 снимается сигнал 18₂ (см. фиг.5). При этом на выходе элемента ИЛИ-НЕ 22 продолжает оставаться сигнал с логическим уровнем "1", т.к. на второй его вход поступает сигнал с логическим уровнем "0" с \bar{Q} -выхода RS-триггера 16 (состояние наличия предельной скорости вращения вала). Следовательно, счетчик 29 продолжает на-

капливать импульсы делителя 6 частоты.

Затем с программного блока 15 импульс 18₈ логического уровня "1" поступает на счетный вход триггера 20 управления, и триггер 20 меняет свое состояние, в результате чего на Q-выходе появляется сигнал с логическим уровнем "0", а на \bar{Q} -выходе — сигнал с логическим уровнем "1". Поступление сигнала с логическим уровнем "0" с Q-выхода триггера 20 на вход элемента И-НЕ 17 запуска запрещает прохождение через него импульсов делителя 6 частоты на вход программного блока 18.

Сигнал в виде логического уровня "1" с \bar{Q} -выхода триггера 20 поступает на элемент И 23 управления, а так как на втором его входе присутствует сигнал с логическим уровнем "1" с Q-выхода триггера 16, на выходе элемента И 23 появляется сигнал с логическим уровнем "1", который поступает на формирователь 27 и элемент И-НЕ 21.

Выдачей импульсов 18₉ с логическим уровнем "0" программным блоком 18 на установочный вход триггера 26 памяти заканчивается функционирование блока 18.

Триггер 26 устанавливается в исходное состояние. При этом с его выхода снимается сигнал с логическим уровнем "1" и на нем устанавливается сигнал с логическим уровнем "0", который влечет за собой установку на выходе элемента И-НЕ 25 сигнала с логическим уровнем "1", а сигнал с логическим уровнем "0" с элемента И-НЕ 21, при наличии предельной скорости вращения, через элемент ИЛИ-НЕ 24 поступает на элемент И 28.

Если описанный самоконтроль связан с достижением агрегатом предельной скорости вращения, счетчик 29, продолжая накапливать импульсы, переполняется, становится на самоблокировку. При этом с его выхода выдается сигнал с логическим уровнем "1" на элементы И-НЕ 25 и 21.

В результате присутствия на входах элемента И-НЕ 21 сигналов с логическим уровнем "1" с выходов 18₂ блока 18, элемента И 23 управления и счетчика 29 на его выходе появляется сигнал с логическим уровнем "0", который поступает на элемент ИЛИ-НЕ

24, на выходе которого уже есть сигнал с логическим уровнем "1". Сигнал с элемента ИЛИ-НЕ 24 проходит на исполнительный элемент через выходной элемент И 28 при отсутствии на втором его входе запрещающего сигнала с формирователя 19, т.к. отсутствует отказ в устройстве.

Как видно из вышеизложенного, триггер 26 памяти предназначен для непрерывной выдачи сигнала на исполнительный элемент при самоконтроле по запросу, например, с пульта оператора, в момент когда скорость вращения вала агрегата соответствует предельному значению.

Выдача сигналов с программного блока 18 по цепям 18₂, 18₃ на элемент ИЛИ-НЕ 8 и коммутатор 2 соответственно позволяет проверять техническое состояние измерительного тракта при неработающем агрегате.

После принятия мер по снижению предельной скорости вращения вала, например, уменьшением расхода топлива, на выходе Q RS-триггера 16 получают сигнал с логическим уровнем "0". При этом прекращается подача сигнала на исполнительный элемент, а на выходе элемента И 23 управления появляется сигнал с логическим уровнем "0" из-за поступления аналогичного сигнала с Q-выхода RS-триггера 16.

Переход сигнала с логического уровня "1" в логический уровень "0" на выходе элемента И 23 приводит к появлению на выходе формирователя 27 импульса с логическим уровнем "0", который, воздействуя на установочный вход триггера 20 управления, устанавливает его в исходное состояние, при котором с Q-выхода на вход элемента И-НЕ 17 поступает сигнал с логическим уровнем "1", а с Q-выхода на вход элемента И 23 — сигнал с логическим уровнем "0". Следовательно, при достижении повторно предельной скорости вращения вала агрегата на Q-выходе RS-триггера 16 появляется сигнал с логическим уровнем "1", который разрешает прохождение через элемент И-НЕ 17 импульсов с делителя 6 частоты на запуск программного блока 18 для самоконтроля и подготовки элементов устройства к выдаче сигнала предельной скорости вращения вала агрегата на исполнительный элемент. Структур-

ная схема таймера представлена на фиг.8.

В исходном состоянии при неработающем агрегате с элемента 8 ИЛИ-НЕ на RS-триггер 30 поступает сигнал логического уровня "0", который удерживает таймер 11 в состоянии, при котором на его Q-выходе присутствует сигнал с логическим уровнем "0", а на \bar{Q} -выходе — сигнал с логическим уровнем "1". На тактовом выходе присутствует частотный сигнал с генератора 33.

При этом в таймере 11 также не работает счетчик 31 импульсов, т.к. на его установочном входе присутствует сигнал логического уровня "0" с \bar{Q} -выхода RS-триггера 30.

При работающем агрегате или проведении самоконтроля по запросу оператора при неработающем агрегате таймер работает следующим образом.

На выходе RS-триггера 30 присутствует сигнал с выхода элемента ИЛИ-НЕ 8 с логическим уровнем "1", разрешающий его функционирование.

При поступлении установочного импульса с элемента И-НЕ 12 RS-триггер 30 изменяет свое состояние, в результате чего на \bar{Q} -выходе появляется сигнал с логическим уровнем "1", который поступает на выход таймера 11 и дает разрешение на функционирование счетчика 31 под действием импульсов генератора 33. На выходе счетчика 31 появляется двоичный код, изменяющийся в сторону увеличения, поступающий на элемент И-НЕ 32.

При достижении заданного кода на выходе счетчика 31, которым определяется длительность импульса с логическим уровнем "1" на выходе \bar{Q} RS-триггера 30 (длительность импульса равна двум периодам входного сигнала, соответствующего предельной скорости вращения вала), на выходе элемента И-НЕ 32 появляется импульс с логическим уровнем "0", который воздействует на RS-триггер 30 и устанавливает его в исходное состояние. Другими словами, на выходе элемента И-НЕ 32 появляется импульс в виде логического "0" при наличии на его входах сигналов с логическим уровнем "1", поступающих с выхода счетчика 31 импульсов. Сигнал с логическим уровнем "0" с выхода \bar{Q} RS-триггера 30 устанавливает счетчик

31 импульсов в исходное состояние, т.е. обнуляет его.

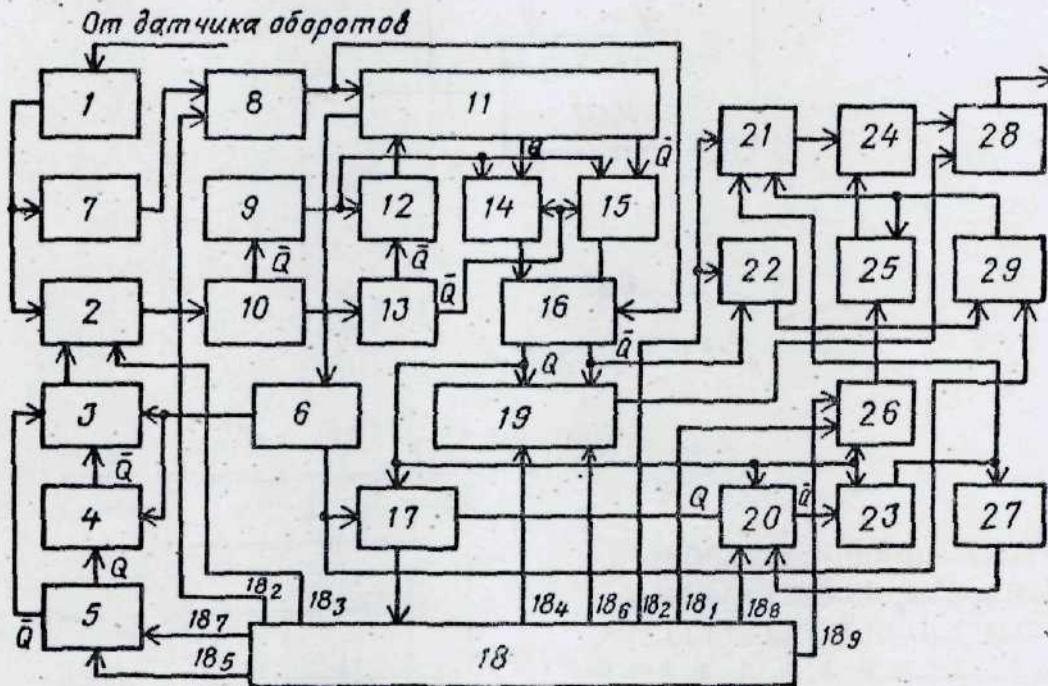
Ф о р м у л а и з о б р е т е н и я

Сигнализатор предельной скорости вращения вала, содержащий первый формирователь импульсов, сигнализатор, коммутатор, переключатель, генератор тактовых импульсов, программный блок, первый и второй счетчики импульсов, формирователь запрещающего сигнала, второй формирователь, первый триггер, второй триггер и первый и второй элементы И, причем вход первого формирователя импульсов соединен с входом устройства, а выход — с входом сигнализатора и первым входом коммутатора, второй вход которого соединен с первым выходом программного блока, второй и третий выходы которого соединены с первым и вторым входами формирователя запрещающего сигнала соответственно, четвертый выход соединен с первым входом второго триггера, а пятый — с первым входом первого триггера, выход генератора тактовых импульсов соединен с первым входом первого счетчика импульсов, первый выход второго триггера соединен с первым входом первого элемента И, отличающийся тем, что, с целью повышения достоверности контроля, он дополнительно содержит семь элементов И-НЕ, три элемента ИЛИ-НЕ, четыре счетных триггера, два RS-триггера, делитель частоты, дифференцирующий элемент и таймер, построенный на первом счетчике импульсов, генераторе тактовой частоты, первом элементе И-НЕ и первом RS-триггере, причем второй вход первого счетчика импульсов соединен с первым выходом первого RS-триггера и первым выходом таймера, второй выход которого соединен с вторым выходом первого RS-триггера, первый и второй входы которого соединены с первым и вторым входами таймера соответственно, а третий вход — с выходом первого элемента И-НЕ, входы которого соединены с выходами рядов первого счетчика импульсов, а третий выход таймера соединен с выходом генератора тактовых импульсов, при этом выход сигнализатора соединен с первым входом первого элемента ИЛИ-НЕ, второй вход которого соеди-

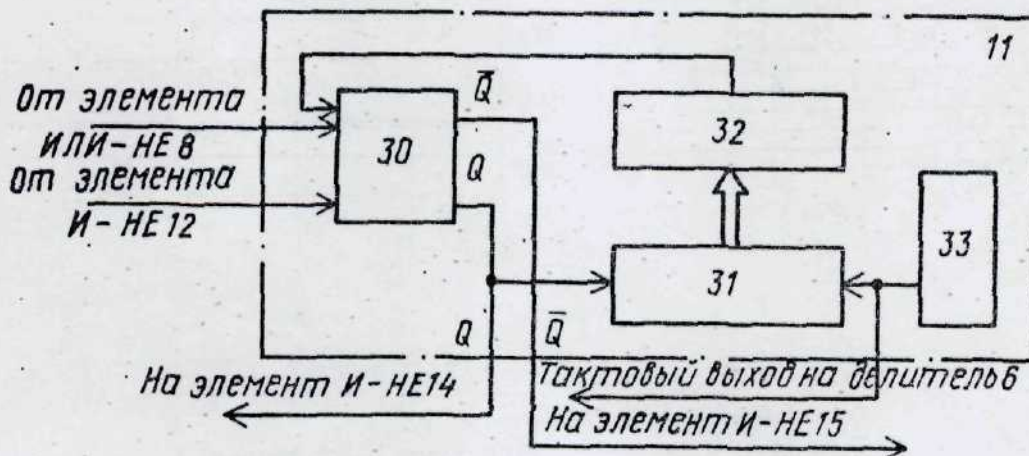
нен с шестым выходом программного блока, а выход — с первым входом таймера и первым входом второго RS-триггера, второй и третий входы которого соединены с выходами третьего и четвертого элементов И-НЕ соответственно, первые входы которых соединены с выходом дифференцирующего элемента и первым входом второго элемента И-НЕ, вторые входы соединены с первым и вторым выходами таймера соответственно, а третьи входы — с первым выходом второго счетного триггера, второй выход которого соединен с вторым входом второго элемента И-НЕ, выход которого соединен с вторым входом таймера, третий выход которого соединен с входом делителя частоты, первый выход которого соединен с первыми входами переключателя и третьего счетного триггера, выход третьего счетного триггера соединен с вторым входом переключателя, выход которого соединен с третьим входом коммутатора, выход которого соединен с входом первого счетного триггера, первый выход которого соединен с входом дифференцирующего элемента, а второй — с входом второго счетного триггера, при этом седьмой и восьмой выходы программного блока соединены с первым и вторым входами четвертого счетного триггера соответственно, первый выход четвертого счетного триггера соединен с третьим входом переключателя, а второй выход — с вторым входом третьего счетного триггера, причем второй выход делителя частоты соединен с первым входом второго счетчика импульсов и первым входом седьмого элемента И-НЕ, выход которого соединен с входом программного блока, а второй вход — с первым выходом второго RS-триггера, третьим входом формирователя запрещающего сигнала, вторым входом второго триггера, вторым входом первого элемента И и вторым входом первого триггера, при этом третий вход седьмого элемента И-НЕ соединен с вторым выходом второго триггера, третий вход которого соединен с выходом второго формирователя, вход которого соединен с выходом первого элемента И и первым входом пятого элемента И-НЕ, второй вход которого соединен с первым входом третьего элемента ИЛИ-НЕ и шестым выходом программного блока,

при этом второй вход третьего элемента ИЛИ-НЕ соединен с вторым выходом второго RS-триггера и четвертым входом формирователя запрещающего сигнала, выход которого соединен с первым входом второго элемента И, выход которого является выходом устройства, а второй вход соединен с выходом второго элемента ИЛИ-НЕ, первый вход которого соединен с выходом пятого элемента И-НЕ, третий вход

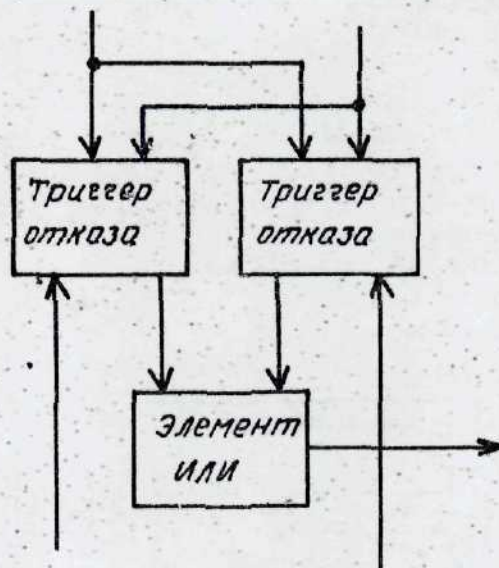
которого соединен с первым входом шестого элемента И-НЕ и выходом второго счетчика, второй вход которого соединен с выходом третьего элемента ИЛИ-НЕ, при этом второй вход шестого элемента И-НЕ соединен с выходом первого триггера, выход - с вторым входом второго элемента ИЛИ-НЕ, а девятый выход программного блока - с третьим входом первого триггера.



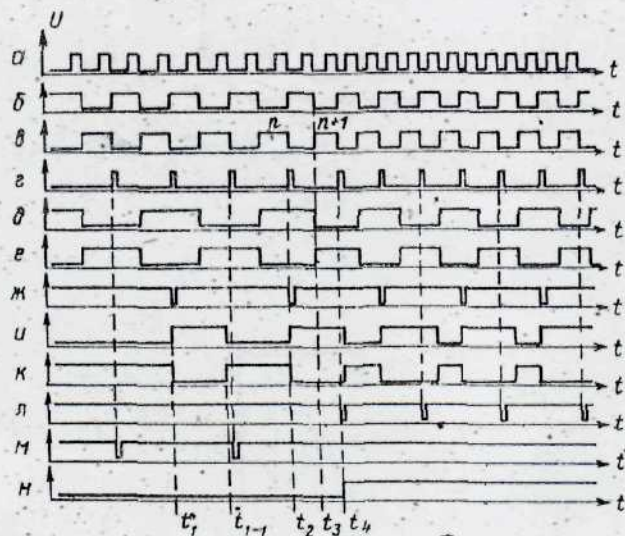
Фиг. 1



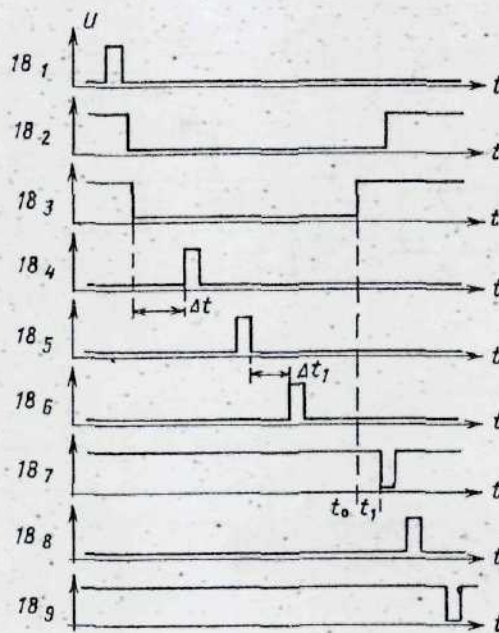
Фиг. 2



Фиг. 3



Фиг. 4



Фиг. 5

Редактор Б.Федотов

Составитель А.Кирилюк

Техред М.Ходанич

Корректор М.Кучерявая

Заказ 2171/ДСИ

Тираж 317

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101