



ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИ

УКРАЇНА

(19) UA

(11) 114504

(13) U

(51) МПК

H03K 3/78 (2006.01)

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2016 09560**

(22) Дата подання заявки: **16.09.2016**

(24) Дата, з якої є чинними  
права на корисну  
модель: **10.03.2017**

(46) Публікація відомостей  
про видачу патенту: **10.03.2017, Бюл.№ 5**

(72) Винахідник(и):

**Коробков Микола Григорович (UA),  
Коробкова Олена Миколаївна (UA),  
Рубанов Васілій Грігор'євіч (RU),  
Харченко Вячеслав Сергійович (UA)**

(73) Власник(и):

**НАЦІОНАЛЬНИЙ АЕРОКОСМІЧНИЙ  
УНІВЕРСИТЕТ ІМ. М.Є. ЖУКОВСЬКОГО  
"ХАРКІВСЬКИЙ АВІАЦІЙНИЙ ІНСТИТУТ",  
вул. Чкалова, 17, м. Харків, 61070 (UA)**

**(54) ФОРМУВАЧ ОДИНОЧНОЇ ПОСЛІДОВНОСТІ З ТРЬОХ КОДОВИХ СЕРІЙ ІМПУЛЬСІВ З ПРОГРАМОВАНИМИ ЧАСОВИМИ ПАРАМЕТРАМИ І КІЛЬКІСТЮ ІМПУЛЬСІВ У СЕРІЇ**

(57) Реферат:

Формувач одиночної послідовності з трикодових серій імпульсів з програмованими часовими параметрами і кількістю імпульсів у серії містить чотири реверсивних двійкових лічильники, синхронний D-тригер і два JK-тригери зі входами асинхронної установки у нульовий стан, три елементи АБО, три елементи І, три інвертори, два елементи І-НІ, ланцюжок, що складається з послідовно з'єднаного резистора і конденсатора.

UA 114504 U

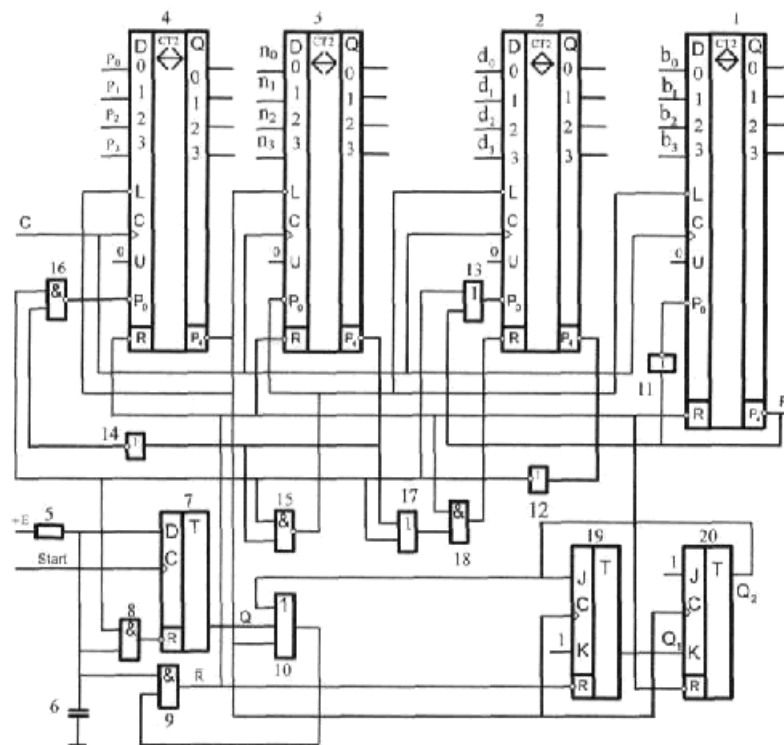


Fig. 1

Корисна модель належить до імпульсної техніки і призначений для формування одиночної послідовності з трьох кодових серій імпульсів з програмованими часовими параметрами і кількістю імпульсів у серії.

Відомі формувачі, що містять кварцовий задавальний генератор, який працює в безперервному режимі, пристрій синхронізації і вихідний пристрій, що забезпечує формування необхідних імпульсів, часові параметри яких визначаються часовими параметрами імпульсів, що подаються на вхід (Тактовий генератор. Авторське свідоцтво СРСР № 307502. - Бюлетень винаходів. № 20, 1971; Тактовий генератор. АС СРСР № 354544. - Бюлетень винаходів. № 30, 1972).

Недолік відомих пристроїв - обмежені функціональні можливості, обумовлені налагоджуванням на фіксований режим параметрів імпульсів.

Найбільш близьким за технічною суттю і результатом, що досягається, є формувач одиночної послідовності з трикодових серій імпульсів з програмованими часовими параметрами і кількістю імпульсів у серії (патент на корисну модель України № 53542 від 11.10.2010), що містить: два реверсивні двійкові лічильники, кожен з яких має вхід подачі імпульсів синхронізації, вхід налагодження на режим підсумовування/віднімання, вхід дозволу синхронного паралельного завантаження і входи подачі даних, вхід дозволу режиму рахування, вхід асинхронної установки у нульовий стан, вихід переповнювання; перший і другий елементи АБО; інвертор; ланцюжок, що складається з послідовно поєднаних резистора і конденсатора; синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий двовходові елементи І, при цьому спільна точка послідовно сполучених резистора і конденсатора поєднана з інформаційним входом D-тригера, зі входами першого та другого двовходових елементів І; вихід D-тригера з'єднано зі входом першого елемента АБО, вихід якого з'єднано з другим входом другого елемента І; вихід першого двовходового елемента І з'єднано зі входом асинхронної установки D-тригера у нульовий стан; вихід другого елемента АБО з'єднано зі входом дозволу синхронного паралельного завантаження першого лічильника; вихід переповнювання першого лічильника, який утворює вихід формувача, з'єднано зі входом інвертора, вихід якого з'єднано зі входом дозволу режиму лічби першого лічильника; значення сигналів на входах паралельного завантаження даних першого лічильника визначають тривалість імпульсів на виході формувача; входи паралельного завантаження другого лічильника утворюють входи програмування формувача на задану паузу між імпульсами; вихід другого елемента І з'єднано зі входом асинхронної установки у нульовий стан першого лічильника; тактові входи першого та другого лічильників сполучені між собою, створюючи вхід формувача - вхід подачі безперервної періодичної послідовності імпульсів з виходу зовнішнього генератора; тактовий вхід D-тригера створює вхід подачі імпульсів запуску (Start).

Недолік відомого пристрою - обмежені функціональні можливості.

В основу корисної моделі поставлена задача удосконалення формувача одиночної послідовності з трьох кодових серій імпульсів з програмованими часовими параметрами і кількістю імпульсів у серії шляхом введення нового складу елементів і нової організації взаємних з'єднань між ними.

Поставлена задача вирішується тим, що в формувач одиночної послідовності з трьох кодових серій імпульсів з програмованими часовими параметрами і кількістю імпульсів у серії, що містить: два реверсивні двійкові лічильники, кожен з яких має вхід подачі імпульсів синхронізації, вхід налагодження на режим підсумовування/віднімання, вхід дозволу синхронного паралельного завантаження і входи подачі даних, вхід дозволу режиму рахування, вхід асинхронної установки у нульовий стан, вихід переповнювання; перший і другий елементи АБО; інвертор; ланцюжок, що складається з послідовно поєднаних резистора і конденсатора; синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий двовходові елементи І, при цьому спільна точка послідовно сполучених резистора і конденсатора поєднана з інформаційним входом D-тригера, зі входами першого та другого двовходових елементів І; вихід D-тригера з'єднано зі входом першого елемента АБО, вихід якого з'єднано з другим входом другого елемента І; вихід першого двовходового елемента І з'єднано зі входом асинхронної установки D-тригера у нульовий стан; вихід другого елемента АБО з'єднано зі входом дозволу синхронного паралельного завантаження першого лічильника; вихід переповнювання першого лічильника, який утворює вихід формувача, з'єднано зі входом інвертора, вихід якого з'єднано зі входом дозволу режиму лічби першого лічильника; значення сигналів на входах паралельного завантаження даних першого лічильника визначають тривалість імпульсів на виході формувача; входи паралельного завантаження другого лічильника утворюють входи програмування формувача на задану паузу між імпульсами; вихід другого елемента І з'єднано зі входом асинхронної установки у нульовий стан першого

лічильника; тактові входи першого та другого лічильників сполучені між собою, створюючи вхід формувача - вхід подачі безперервної періодичної послідовності імпульсів з виходу зовнішнього генератора; тактовий вхід D-тригера створює вхід подачі імпульсів запуску (Start), згідно з корисною моделлю, введено: третій і четвертий реверсивні двійкові лічильники, налагоджені на режим віднімання, кожен з яких має вхід подачі імпульсів синхронізації, вхід налагодження на режим підсумовування/віднімання, вхід дозволу синхронного паралельного завантаження і входи подачі даних, вхід дозволу режиму рахування, вхід асинхронної установки у нульовий стан, вихід переповнювання; другий і третій інвертори; перший і другий елементи I-HI; третій елемент АБО; третій елемент І; циклічний пристрій, з послідовністю переходів 00-10-11-00 (0-2 - 3-0), який містить перший і другий JK-тригери зі входом асинхронної установки у нульовий стан, при цьому прямий вихід першого JK-тригера з'єднано зі входом К другого JK-тригера, вхід J якого з'єднано з рівнем логічної одиниці, прямий вихід другого JK-тригера з'єднано зі входом J першого JK-тригера і входом першого елемента АБО; вхід К першого JK-тригера з'єднано з рівнем логічної одиниці; вихід переповнення першого лічильника з'єднано з першим входом другого елемента АБО, вихід якого з'єднано зі входом дозволу режиму лічби другого лічильника; вихід переповнення другого лічильника з'єднано зі входом другого інвертора, вихід якого з'єднано з другим входом другого елемента АБО, з другим входом першого елемента І, першим входом третього елемента АБО, першими входами першого і другого елементів I-HI; вихід переповнення третього лічильника з'єднано з другим входом третього елемента АБО, другим входом першого елемента I-HI і входом третього інвертора, вихід якого з'єднано з другим входом другого елемента I-HI; вихід першого елемента I-HI з'єднано зі входом дозволу режиму лічби третього лічильника, входами дозволу режиму завантаження другого і першого лічильників; вихід третього елемента АБО з'єднано зі входом третього елемента І, другий вхід якого з'єднано з виходом другого елемента І, вихід - зі входом асинхронної установки у нульовий стан другого лічильника; вихід переповнення четвертого лічильника з'єднано з другим входом першого елемента АБО, входами дозволу режиму завантаження третього і четвертого лічильників, тактовими входами першого і другого JK-тригерів; входи паралельного завантаження третього лічильника утворюють входи програмування формувача на задану кількість імпульсів у серії; входи паралельного завантаження четвертого лічильника утворюють входи програмування формувача на задану паузу між серіями імпульсів; входи асинхронної установки у нульовий стан першого і другого JK-тригерів, третього, і четвертого лічильників з'єднано з виходом другого елемента І; тактові входи третього і четвертого лічильників з'єднано зі входом формувача.

Заявлений формувач має новий склад елементів і нову організацію взаємозв'язків між ними, тобто містить нову сукупність ознак, які забезпечують нові технічні властивості. Технічний результат, як наслідок цих властивостей, розширення області використання і функціональних можливостей формувача.

На фіг. 1 приведена схема формувача.

Формувач містить: перший (1), другий (2), третій (3) і четвертий (4) реверсивні двійкові лічильники, налагоджені на режим віднімання ( $U=0$ ), які мають вхід подачі тактових імпульсів С, вхід дозволу синхронного паралельного завантаження L і входи подачі даних  $D_0$ - $D_3$ , вхід  $P_0$  дозволу/заборони режиму лічби, вхід асинхронної установки у нульовий стан R, вихід переповнювання  $P_4$ ; перший (10), другий (13) і третій (17) елементи АБО; перший (11), другий (12) і третій (14) інвертори; перший (15) і другий (16) елементи I-HI; перший (8), другий (9) і третій (18) елементи І; ланцюжок з послідовно сполучених резистора (5) і конденсатора (6), підключеного до джерела живлення +E; перший (7), перший (19) і другий (20) JK-тригери зі входом асинхронної установки у нульовий стан,

Загальна точка послідовно сполучених резистора 5 і конденсатора 6 з'єднана з інформаційним входом D-тригера 7, з одним входом елементів 8, 9. Вихід елемента 8 з'єднано зі входом асинхронної установки D-тригера 7 у нульовий стан. Другий вхід елемента 9 з'єднано з виходом елемента 10. Вихід елемента 9 з'єднано зі входами R асинхронної установки у нульовий стан лічильників 1, 3, 4 і входом елемента 18, вихід якого з'єднано зі входом асинхронної установки у нульовий стан лічильника 2.

Вихід переповнювання лічильника 1, який утворює вихід F формувача, з'єднано зі входами елемента 13 і входом інвертора 3, вихід якого з'єднано зі входом  $P_0$  лічильника 1. Вихід переповнення лічильника 2 з'єднано зі входом інвертора 12, вихід якого з'єднано зі входами елементів 8, 13, 15, 16, 17. Вихід переповнення лічильника 3 з'єднано зі входами елементів 10, 15, 17 і входом інвертора 14, вихід якого з'єднано зі входом елемента 16. Вихід елемента 15 з'єднано зі входом дозволу режиму лічби лічильника 3, входами дозволу режиму завантаження лічильників 2, 1. Вихід переповнення лічильника 4 з'єднано з тактовими входами тригерів 19, 20,

з другим входом елемента АБО 10, входами дозволу режиму завантаження лічильників 3, 4. Прямий вихід тригера 19 з'єднано зі входом К тригера 20, вхід J якого з'єднано з рівнем логічної одиниці, прямий вихід тригера 20 з'єднано зі входом J тригера 19 і з третім входом елемента 10. Вхід К тригера 19 з'єднано з рівнем логічної одиниці.

Значення сигналів  $V=b_3b_2b_1b_0$  на входах паралельного завантаження даних лічильника 1 визначають тривалість імпульсів на виході формувача, Значення сигналів  $D=d_3d_2d_1d_0$  на входах паралельного завантаження даних  $D_0D_1D_2D_3$  лічильника 2 визначають тривалість паузи між імпульсами у серії. Значення сигналів  $N=n_3n_2n_1n_0$  на входах паралельного завантаження даних  $D_0D_1D_2D_3$  лічильника 3 визначають кількість імпульсів у серії. Значення сигналів  $P=p_3p_2p_1p_0$  на входах паралельного завантаження даних  $D_0D_1D_2D_3$  лічильника 2 визначають тривалість паузи між серіями. Кількість станів циклічного пристрою, яка дорівнює трьом, визначає кількість серій.

Входи асинхронної установки у нульовий стан JK-тригерів 19, 20 і лічильників 1, 3, 4 з'єднано з виходом елемента 9. Тактові входи лічильників сполучені між собою, створюючи вхід С формувача - вхід подачі безперервної періодичної послідовності імпульсів з виходу зовнішнього генератора. Тактовий вхід D-тригера 7 створює вхід подачі імпульсів запуску (Start).

Працює формувач в наступній послідовності.

Наявність ланцюжка, що складається із поєднаних послідовно резистора 5 і конденсатора 6, підключеного до шини живлячої напруги +Е, при включенні джерела живлення протягом деякого проміжку часу формує рівень логічного нуля на вході R асинхронної установки у нульовий стан тригера 7 і входах елементів 8 та 9, забезпечуючи формування рівня логічного нуля на входах R асинхронної установки у нульовий стан відповідно JK-тригерів 19, 20 і лічильників.

Після закінчення перехідного процесу, пов'язаного з включенням джерела живлення тригери і лічильники переходять у нульовий стан, формуючи рівень логічного нуля на виході тригера, на виходах переповнення лічильників, на входах дозволу режиму завантаження лічильників 3, 4, на виході елемента 10, з'єднаного зі входом елемента І 9, що забезпечує підтвердження (блокування) рівня 0 на його виході і по закінченні перехідного процесу, пов'язаного із зарядом конденсатора 6, що забезпечує рівень 0 на входах асинхронної установки у нульовий стан тригерів 19, 20 і лічильників. Оскільки режим асинхронної установки у нульовий стан має пріоритет відносно до всіх останніх режимів, то доти, поки на виході елемента 9 зберігатиметься рівень логічного нуля, при вступі тактових імпульсів нульовий стан лічильників залишатиметься незмінним.

Під час вступу імпульсу готовності (Start) на тактовий вхід С тригера 7 по його фронту тригер 7 переходить в одиничний стан, формуючи рівень логічної одиниці на його виході і рівень логічної одиниці на виході елемента 10, а отже на вході і виході елемента І 9, що забезпечує рівень логічної одиниці на входах R тригерів і лічильників, знімаючи блокування нульового стану, дозволяє режим завантаження. І тоді під час вступу першого (після закінчення перехідного процесу, пов'язаного із зняттям блокування) тактового імпульсу С відбувається перехід лічильників 3, 4 у стан, що визначається значенням сигналів, які встановлено на їх входах паралельного завантаження даних  $D_0D_1D_2D_3$ , формуючи одиничне значення на виходах переповнення. У результаті цих змін лічильники 1, 2 переходять у режим завантаження, а лічильник 3-у режим лічби, тригер 20 переходить в одиничний стан.

Під час вступу другого імпульсу відбувається перехід лічильників 1, 2 у стан, що визначається значенням сигналів, які встановлено на їх входах паралельного завантаження даних  $D_0D_1D_2D_3$ , формуючи одиничне значення на виходах переповнення (на виході формувача). Зміст лічильника 3 зменшується на одиницю, зміст лічильника 4 залишиться незмінним. У результаті цих змін лічильники 2, 3, 4 переходять у режим збереження, а лічильник 1 - у режим лічби. Тригер 7 переходить у нульовий стан.

Під час вступу наступного і подальших тактових імпульсів зміст лічильника 1 зменшується, а стан лічильників 2, 3, 4 залишиться незмінним доти, поки зміст лічильника 1 не стане рівним 0, що забезпечує рівень логічного 0 на його виході переповнення (на виході формувача), на виході елемента 13 і одиничне значення на виході інвертора 11, у результаті чого лічильник 1 переходить у режим збереження, а лічильник 2-у режим лічби, режим збереження лічильників 3, 4 залишиться незмінним. На цьому закінчується формування першого імпульсу у серії.

Під час вступу наступного і подальших тактових імпульсів зміст лічильника 2 зменшується, а стан лічильників 1, 3, 4 залишиться незмінним доти, поки зміст лічильника 2 не стане рівним 0, що забезпечує рівень логічного 0 на його виході переповнення, одиничне значення на виході інвертора 12, формуючи рівень логічної одиниці на виході елемента 13 і нульове значення на виході елемента 15, у результаті чого лічильник 3 переходить у режим лічби, а лічильники 1, 2 - у режим завантаження. На цьому закінчується формування першої паузи між імпульсами у серії.

Під час вступу подальших тактових імпульсів процеси аналогічні (фіг. 3) доти, поки не буде сформована пауза між передостаннім і останнім імпульсами у серії. І тоді під час вступу чергового тактового імпульсу відбувається перехід лічильників 1, 2 у стан, що визначається значенням сигналів, які встановлено на їх входах паралельного завантаження даних  $D_0D_1D_2D_3$ , формуючи одиничне значення на виходах переповнення, третій лічильник переходить у нульовий стан. У результаті цих змін на входах і виході елемента 17 і на виході елемента 18 формується нульове значення, що веде до повернення другого лічильника у нульовий стан.

Під час вступу подальших тактових імпульсів формується останній імпульс у серії, лічильник 4 переходить у режим лічби. Під час вступу наступного і подальших тактових імпульсів зміст лічильника 4 зменшується, а нульовий стан лічильників 1, 2, 3 залишиться незмінним доти, поки зміст лічильника 4 не стане рівним 0, що забезпечує рівень логічного 0 на його виході переповнення.

Під час вступу наступного тактового імпульсу відбувається перехід лічильників 3, 4 у стан, що визначається значенням сигналів, які встановлено на їх входах паралельного завантаження даних  $D_0D_1D_2D_3$ , формуючи одиничне значення на виходах переповнення. Тригер 19 переходить в одиничний стан. Одиничний стан тригера 20 залишиться незмінним.

Під час вступу наступного і подальших тактових імпульсів знову відбувається перехід лічильників 3, 4 у стан, що визначається значенням сигналів, які встановлено на їх входах паралельного завантаження даних  $D_0D_1D_2D_3$ , формуючи одиничне значення на виходах переповнення. Тригери 19, 20 переходять у нульовий стан. Починається формування третьої серії. Як тільки під час вступу чергового тактового імпульсу зміст лічильника 4 стане рівним 0, що забезпечує рівень логічного 0 на його виході переповнення, на виході елемента АБО 10, на вході і виході елемента І 9, забезпечуючи формування рівня логічного нуля на входах  $R$  асинхронної установки у нульовий стан відповідно тригерів 19, 20 і лічильників, тобто формувач повертається в вихідний стан. Зі вступом наступного імпульсу запуску усі процеси повторюються.

Таким чином, після закінчення перехідного процесу, пов'язаного з включенням джерела живлення після подачі імпульсу запуску (Start) при вступу на вхід  $C$  формувача періодичної послідовності тактових імпульсів з періодом  $T$  на виході формувача (виході переповнення лічильника 1) генерується послідовність з трьох кодових серій, кожна з яких містить  $(N+1)$  імпульсів, тривалість яких дорівнює  $BT$ . Тривалість паузи між імпульсами в серії дорівнює  $(D+1)T$ , тривалість паузи між серіями дорівнює  $(P+2)T$ .

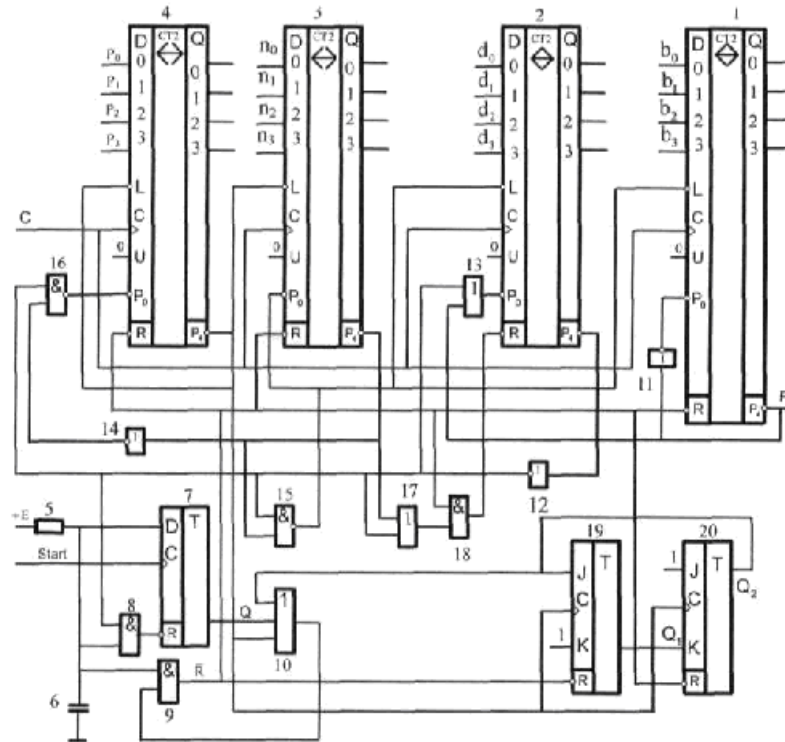
На фіг. 2 приведений граф переходів формувача, що складається з п'яти кілець (перше кільце - граф переходів лічильника 1, друге - граф переходів лічильника 2, третє - граф переходів лічильника 3, четверте - граф переходів лічильника 4, п'яте - граф переходів циклічного пристрою, виконаного на двох JK-тригерах) із загальною вершиною, відповідною нульовому стану тригерів і лічильників, а на фіг. 3 - часові діаграми, що ілюструють роботу для варіанта програмування  $B=3$ ,  $D=2$ ,  $N=2$ ,  $P=4$ .

На відміну від відомого пристрою формування одиночної послідовності з трьох кодових серій імпульсів з програмованими часовими параметрами і кількістю імпульсів у серії розширює функціональні можливості і область використання формувача.

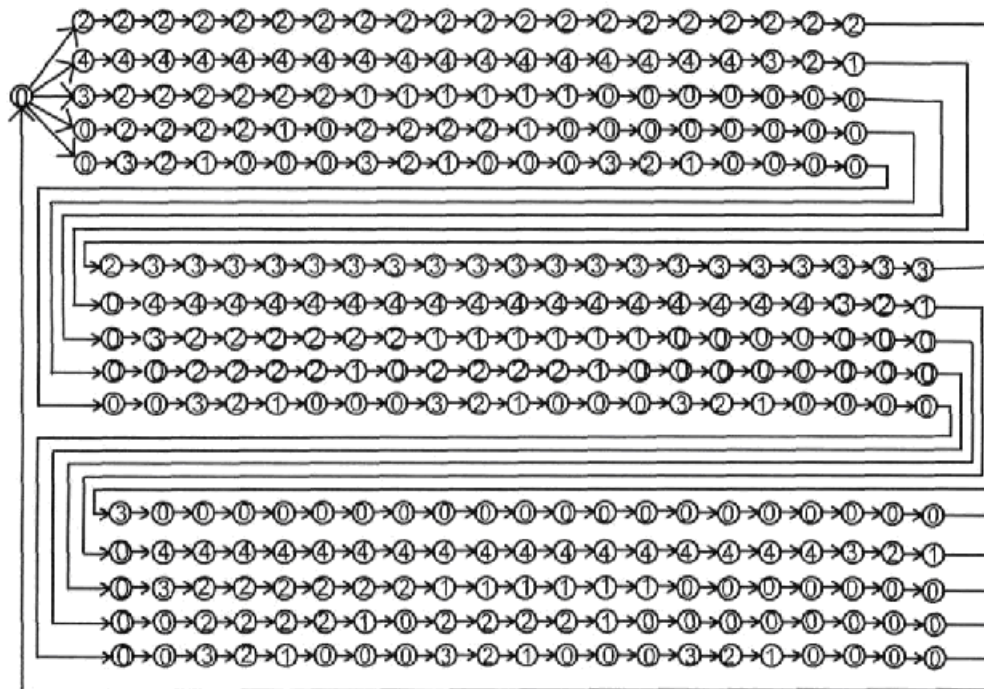
#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Формувач одиночної послідовності з трикодових серій імпульсів з програмованими часовими параметрами і кількістю імпульсів у серії, що містить два реверсивні двійкові лічильники, кожен з яких має вхід подачі імпульсів синхронізації, вхід налагодження на режим підсумовування/віднімання, вхід дозволу синхронного паралельного завантаження і входи подачі даних, вхід дозволу режиму рахування, вхід асинхронної установки у нульовий стан, вихід переповнювання; перший і другий елементи АБО; інвертор; ланцюжок, що складається з послідовно поєднаних резистора і конденсатора; синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий двовходові елементи І, при цьому спільна точка послідовно сполучених резистора і конденсатора поєднана з інформаційним входом D-тригера, зі входами першого та другого двовходових елементів І; вихід D-тригера з'єднано зі входом першого елемента АБО, вихід якого з'єднано з другим входом другого елемента І; вихід першого двовходового елемента І з'єднано зі входом асинхронної установки D-тригера у нульовий стан; вихід другого елемента АБО з'єднано зі входом дозволу синхронного паралельного завантаження першого лічильника; вихід переповнювання першого лічильника, який утворює вихід формувача, з'єднано зі входом інвертора, вихід якого з'єднано зі входом дозволу режиму лічби першого лічильника; значення сигналів на входах паралельного

завантаження даних першого лічильника визначають тривалість імпульсів на виході формувача; входи паралельного завантаження другого лічильника утворюють входи програмування формувача на задану паузу між імпульсами; вихід другого елемента І з'єднано зі входом асинхронної установки у нульовий стан першого лічильника; тактові входи першого та другого лічильників сполучені між собою, створюючи вхід формувача - вхід подачі безперервної періодичної послідовності імпульсів з виходу зовнішнього генератора; тактовий вхід D-тригера створює вхід подачі імпульсів запуску (Start), який **відрізняється** тим, що введено: третій і четвертий реверсивні двійкові лічильники, налагоджені на режим віднімання, кожен з яких має вхід подачі імпульсів синхронізації, вхід налагодження на режим підсумовування/віднімання, вхід дозволу синхронного паралельного завантаження і входи подачі даних, вхід дозволу режиму рахування, вхід асинхронної установки у нульовий стан, вихід переповнювання; другий і третій інвертори; перший і другий елементи Т-НІ; третій елемент АБО; третій елемент І; циклічний пристрій, з послідовністю переходів 00-10-11-00 (0 -2 -3 -0), який містить перший і другий JK-тригери зі входом асинхронної установки у нульовий стан, при цьому прямий вихід першого JK-тригера з'єднано зі входом К другого JK-тригера, вхід J якого з'єднано з рівнем логічної одиниці, прямий вихід другого JK-тригера з'єднано зі входом J першого JK-тригера і входом першого елемента АБО; вхід К першого JK-тригера з'єднано з рівнем логічної одиниці; вихід переповнення першого лічильника з'єднано з першим входом другого елемента АБО, вихід якого з'єднано зі входом дозволу режиму лічби другого лічильника; вихід переповнення другого лічильника з'єднано зі входом другого інвертора, вихід якого з'єднано з другим входом другого елемента АБО, з другим входом першого елемента І, першим входом третього елемента АБО, першими входами першого і другого елементів І-НІ; вихід переповнення третього лічильника з'єднано з другим входом третього елемента АБО, другим входом першого елемента І-НІ і входом третього інвертора, вихід якого з'єднано з другим входом другого елемента І-НІ; вихід першого елемента І-НІ з'єднано зі входом дозволу режиму лічби третього лічильника, входами дозволу режиму завантаження другого і першого лічильників; вихід третього елемента АБО з'єднано зі входом третього елемента І, другий вхід якого з'єднано з виходом другого елемента І, вихід - зі входом асинхронної установки у нульовий стан другого лічильника; вихід переповнення четвертого лічильника з'єднано з другим входом першого елемента АБО, входами дозволу режиму завантаження третього і четвертого лічильників, тактовими входами першого і другого JK-тригерів; входи паралельного завантаження третього лічильника утворюють входи програмування формувача на задану кількість імпульсів у серії; входи паралельного завантаження четвертого лічильника утворюють входи програмування формувача на задану паузу між серіями імпульсів; входи асинхронної установки у нульовий стан першого і другого JK-тригерів, третього і четвертого лічильників з'єднано з виходом другого елемента І; тактові входи третього і четвертого лічильників з'єднано зі входом формувача.



Фиг. 1



Фиг. 2





Fig. 3

Комп'ютерна верстка Л. Ціхановська

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601