



ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

УКРАЇНА

(19) UA

(11) 104354

(13) U

(51) МПК

H03K 3/78 (2006.01)

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2015 07002**

(22) Дата подання заявки: **14.07.2015**

(24) Дата, з якої є чинними
права на корисну
модель: **25.01.2016**

(46) Публікація відомостей **25.01.2016, Бюл.№ 2**
про видачу патенту:

(72) Винахідник(и):

**Коробков Микола Григорович (UA),
Коробкова Олена Миколаївна (UA),
Рубанов Васілій Грігор'євич (RU),
Харченко Вячеслав Сергійович (UA)**

(73) Власник(и):

**НАЦІОНАЛЬНИЙ АЕРОКОСМІЧНИЙ
УНІВЕРСИТЕТ ІМ. М.Є. ЖУКОВСЬКОГО
"ХАРКІВСЬКИЙ АВІАЦІЙНИЙ ІНСТИТУТ",
вул. Чкалова, 17, м. Харків, 61070, Україна
(UA)**

(54) ФОРМУВАЧ ПЕРІОДИЧНОЇ ПОСЛІДОВНОСТІ ТРИІМПУЛЬСНИХ КОДОВИХ СЕРІЙ ЗАДАНОЇ КІЛЬКОСТІ ІМПУЛЬСІВ З ПРОГРАМОВАНОЮ ТРИВАЛІСТЮ ПАУЗИ МІЖ ІМПУЛЬСАМИ У СЕРІЇ

(57) Реферат:

Формувач періодичної послідовності триімпульсних кодових серій з програмованою тривалістю паузи між імпульсами у серії, що містить: два реверсивні двійкові лічильники, кожен з яких має вхід подачі імпульсів синхронізації, вхід налагодження на режим підсумовування/віднімання, вхід дозволу синхронного паралельного завантаження і входи подачі даних, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; перший і другий елементи АБО; інвертор; ланцюжок, що складається з послідовно поєднаних резистора і конденсатора; синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий двовходові елементи І. Введено: третій реверсивний двійковий лічильник, який має вхід подачі імпульсів синхронізації, вхід налагодження на режим підсумовування/віднімання, вхід дозволу синхронного паралельного завантаження і входи подачі даних, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; повний дешифратор; третій, четвертий і п'ятий елементи АБО; другий інвертор; елемент І-НІ.

UA 104354 U

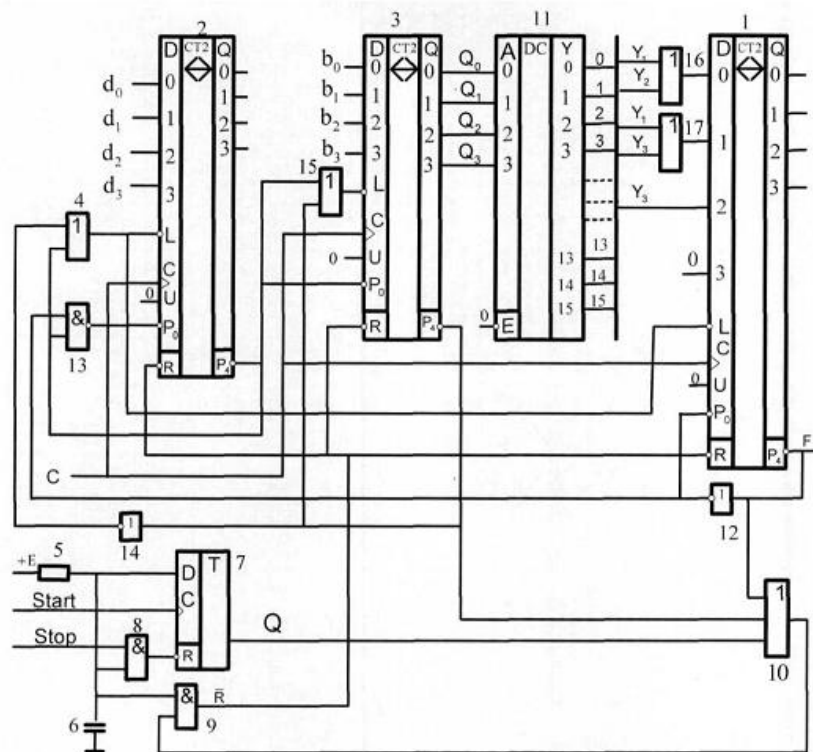


Fig. 1

Корисна модель належить до імпульсної техніки і призначена для формування періодичної послідовності триімпульсних кодових серій заданої кількості імпульсів з програмованою тривалістю паузи між імпульсами у серії.

Відомі формувачі, що містять кварцовий задавальний генератор, який працює в безперервному режимі, пристрій синхронізації і вихідний пристрій, що забезпечує формування необхідних імпульсів, часові параметри яких визначаються часовими параметрами імпульсів, що подаються на вхід (Тактовий генератор. Авторське свідоцтво СРСР №307502. - Бюлетень винаходів. №20, 1971; Тактовий генератор. АС СРСР №354544. - Бюлетень винаходів. №30, 1972).

Недолік відомих пристроїв обмежені функціональні можливості, обумовлені налагоджуванням на фіксований режим параметрів імпульсів.

Найбільш близьким за технічною суттю і результатом, що досягається, є формувач періодичної послідовності триімпульсних кодових серій заданої кількості імпульсів з програмованою тривалістю паузи між імпульсами у серії (патент на корисну модель України № 53542 від 11.10.2010), що містить: два реверсивні двійкові лічильники, кожен з яких має вхід подачі імпульсів синхронізації, вхід налагодження на режим підсумовування/віднімання, вхід дозволу синхронного паралельного завантаження і входи подачі даних, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; перший і другий елементи АБО; інвертор; ланцюжок, що складається з послідовно поєднаних резистора і конденсатора; синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий двовходові елементи І, при цьому спільна точка послідовно сполучених резистора і конденсатора поєднана з інформаційним входом D-тригера, зі входами першого та другого двовходових елементів І; другий вхід першого елемента І створює вхід подачі імпульсів зупинки (Stop) формування імпульсів на виході; вихід D-тригера з'єднано зі входом першого елемента АБО, вихід якого з'єднано з другим входом другого елемента І; вихід першого двовходового елемента І з'єднано зі входом асинхронної установки D-тригера у нульовий стан; вихід другого елемента АБО з'єднано зі входом дозволу синхронного паралельного завантаження першого лічильника; вихід переповнювання першого лічильника, який утворює вихід формувача, з'єднано зі входом інвертора, вихід якого з'єднано зі входом дозволу режиму лічби першого лічильника; вихід переповнювання другого лічильника з'єднано зі входом другого елемента АБО; значення сигналів на входах паралельного завантаження даних першого лічильника визначають тривалість імпульсів на виході формувача; входи паралельного завантаження другого лічильника утворюють входи програмування формувача на задану паузу між імпульсами; вихід другого елемента І з'єднано зі входами асинхронної установки лічильників у нульовий стан; тактові входи першого та другого лічильників сполучені між собою, створюючи вхід формувача - вхід подачі безперервної періодичної послідовності імпульсів з виходу зовнішнього генератора; тактовий вхід D-тригера створює вхід подачі імпульсів запуску (Start).

Недолік відомого пристрою - обмежені функціональні можливості.

В основу корисної моделі поставлено задача удосконалення формувача періодичної послідовності триімпульсних кодових серій заданої кількості імпульсів з програмованою тривалістю паузи між імпульсами у серії шляхом введення нового складу елементів і нової організації взаємних з'єднань між ними.

Поставлена задача вирішується тим, що в формувач періодичної послідовності триімпульсних кодових серій заданої кількості імпульсів з програмованою тривалістю паузи між імпульсами у серії, що містить: два реверсивні двійкові лічильники, кожен з яких має вхід подачі імпульсів синхронізації, вхід налагодження на режим підсумовування/віднімання, вхід дозволу синхронного паралельного завантаження і входи подачі даних, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; перший і другий елементи АБО; інвертор; ланцюжок, що складається з послідовно поєднаних резистора і конденсатора; синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий двовходові елементи І, при цьому спільна точка послідовно сполучених резистора і конденсатора поєднана з інформаційним входом D-тригера, зі входами першого та другого двовходових елементів І; другий вхід першого елемента І створює вхід подачі імпульсів зупинки (Stop) формування імпульсів на виході; вихід D-тригера з'єднано зі входом першого елемента АБО, вихід якого з'єднано з другим входом другого елемента І; вихід першого двовходового елемента І з'єднано зі входом асинхронної установки D-тригера у нульовий стан; вихід другого елемента АБО з'єднано зі входом дозволу синхронного паралельного завантаження першого лічильника; вихід переповнювання першого лічильника, який утворює вихід формувача, з'єднано зі входом першого елемента АБО і входом інвертора, вихід якого з'єднано зі входом дозволу режиму лічби першого лічильника; вихід переповнювання другого лічильника з'єднано

зі входом першого елемента АБО; значення сигналів на входах паралельного завантаження даних першого лічильника визначають тривалість імпульсів на виході формувача; входи паралельного завантаження другого лічильника утворюють входи програмування формувача на задану паузу між імпульсами; вихід другого елемента 1 з'єднано зі входами асинхронної установки лічильників у нульовий стан; тактові входи першого та другого лічильників сполучені між собою, створюючи вхід формувача - вхід подачі безперервної періодичної послідовності імпульсів з виходу зовнішнього генератора; тактовий вхід D-тригера створює вхід подачі імпульсів запуску (Start), відповідно до корисної моделі, введено: третій реверсивний двійковий лічильник, який має вхід подачі імпульсів синхронізації, вхід налагодження на режим підсумовування/віднімання, вхід дозволу синхронного паралельного завантаження і входи подачі даних, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; повний дешифратор; третій, четвертий і п'ятий елементи АБО; другий інвертор; елемент І-НІ, один вхід якого з'єднано з виходом переповнення другого лічильника, входами другого і третього елементів АБО, входом дозволу режиму лічби третього лічильника; другим вхід елемента І-НІ з'єднано з виходом першого інвертора; другий вхід третього елемента АБО з'єднано з виходом переповнення третього лічильника, входом першого елемента АБО, входом другого інвертора, вихід якого з'єднано з другим входом другого елемента АБО; вихід третього елемента АБО зі входом дозволу режиму завантаження третього лічильника; вихід елемента І-НІ з'єднано зі входом дозволу режиму лічби другого лічильника; входи завантаження даних $D_0D_1D_2D_3$ третього лічильника утворюють входи $b_0b_1b_2b_3$ переналагодження формувача на задану кількість імпульсів у серії; виходи третього лічильника з'єднано зі входами чотирьох адресного дешифратора, який має 16 виходів (Y_0-Y_{15}); вихід Y_1 з'єднано з першими входами четвертого і п'ятого елементів АБО; вихід Y_2 з'єднано з другим входом четвертого елемента АБО; вихід Y_3 з'єднано з другим входом п'ятого елемента АБО і входом завантаження даних D_2 першого лічильника; вихід четвертого елемента АБО з'єднано зі входом завантаження даних D_0 першого лічильника; вихід п'ятого елемента АБО з'єднано зі входом завантаження даних D_1 першого лічильника; вхід завантаження даних D_3 першого лічильника з'єднано з рівнем логічного 0; вхід асинхронної установки у нульовий стан третього лічильника з'єднано з виходом другого елемента І; тактовий вхід третього лічильника з'єднано зі входом формувача.

Заявлений формувач періодичної послідовності триімпульсних кодових серій заданої кількості імпульсів з програмованою тривалістю паузи між імпульсами у серії має новий склад елементів і нову організацію взаємозв'язків між ними, тобто містить нову сукупність ознак, які забезпечують нові технічні властивості.

Технічний результат, як наслідок цих властивостей, розширення області використання і функціональних можливостей формувача.

Формувач містить: перший 1, другий 2 і третій 3 реверсивні двійкові лічильники, налагоджені на режим віднімання $U=0$, які мають вхід подачі тактових імпульсів C , вхід дозволу синхронного паралельного завантаження L і входи подачі даних D_0-D_3 , вхід P_0 дозволу/заборони режиму лічби, вхід асинхронної установки у нульовий стан R , вихід переповнювання P_4 ; дешифратор 11; перший 10, другий 4, третій 15, четвертий 16 і п'ятий 17 елементи АБО; перший 8 і другий 9 елементи І; перший 12 і другий 14 інвертори; ланцюжок з послідовно сполучених резистора 5 і конденсатора 6, підключеного до джерела живлення $+E$; синхронний D-тригер 7 зі входом асинхронної установки у нульовий стан.

Спільна точка послідовно сполучених резистора 5 і конденсатора 6 поєднана з інформаційним входом D-тригера 7, зі входами двовходових елементів І 8, 9. Другий вхід елемента І 8 створює вхід подачі імпульсів зупинки (Stop) формування імпульсів на виході. Вихід D-тригера (Q) з'єднано з входом елемента АБО 10, вихід якого з'єднано з другим входом елемента І 9. Вихід елемента І 9 з'єднано зі входами асинхронної установки лічильників у нульовий стан. Вихід елемента І 8 з'єднано зі входом асинхронної установки D-тригера у нульовий стан. Вихід переповнювання лічильника 1, який утворює вихід формувача F , з'єднано зі входом елемента АБО 10 і входом інвертора 12, вихід якого з'єднано зі входом дозволу режиму лічби лічильника 2 і першим входом елемента І-НІ 13, вихід якого з'єднано зі входом дозволу режиму лічби лічильника 2. Вихід переповнювання лічильника 2 з'єднано з другим входом елемента І-НІ 13, входами елементів АБО 4, 15 і входом дозволу режиму лічби лічильника 3. Вихід елемента АБО 4 з'єднано зі входами дозволу режиму завантаження лічильників 1, 2. Другий вхід елемента АБО 4 з'єднано з виходом інвертора 14, вхід якого з'єднано з виходом переповнення лічильника 3, зі входами елементів АБО 10, 15. Входи завантаження даних $D_0D_1D_2D_3$ лічильника 2 утворюють входи $d_0d_1d_2d_3$ програмування формувача на задану тривалість паузи між імпульсами у серії, кратною періоду T тактових імпульсів ($t_n = (d_0d_1d_2d_3+1)T$), які подаються на вхід формувача з виходу зовнішнього тактового

генератора. У нашому випадку $d_0d_1d_2d_3=0010$, що забезпечує тривалість паузи між імпульсами у серії, рівною $3T$.

Входи завантаження даних $D_0D_1D_2D_3$ лічильника 3 утворюють входи $b_0b_1b_2b_3$ перенастроювання формувача на задану кількість імпульсів у серії. У нашому випадку $b_0b_1b_2b_3=0011$, що забезпечує формування триімпульсної серії.

Виходи лічильника 3 з'єднано зі входами чотирьохадресного дешифратора, який має 16 виходів (Y_0-Y_{15}). Вихід Y_1 з'єднано з першими входами елементів АБО 16, 17. Вихід Y_2 з'єднано з другим входом елемента АБО 16. Вихід Y_3 з'єднано з другим входом елемента АБО 17 і входом завантаження даних D_2 лічильника 1. Вихід елемента АБО 16 з'єднано зі входом завантаження даних D_0 лічильника 1. Вихід елемента АБО 17 з'єднано зі входом завантаження даних D_1 лічильника 1. Вхід завантаження даних D_3 лічильника 1 з'єднано з рівнем логічного 0.

Тактові входи лічильників сполучені між собою, створюючи вхід формувача C - вхід подачі безперервної періодичної послідовності імпульсів з виходу зовнішнього генератора. Тактовий вхід D -тригера створює вхід подачі імпульсів запуску (Start).

Працює формувач в наступній послідовності.

Наявність ланцюжка, що складається із поєднаних послідовно резистора і конденсатора, підключеного до шини живлячої напруги $+E$, при включенні джерела живлення протягом деякого проміжку часу формує рівень логічного нуля на вході R асинхронної установки у нульовий стан відповідно D -тригера і лічильників.

Після закінчення перехідного процесу, пов'язаного з включенням джерела живлення, тригер і лічильники переходять у нульовий стан, формуючи рівень логічного нуля на виході тригера і на виходах переповнення лічильників, блокуючи нульовий стан. Оскільки режим асинхронної установки у нульовий стан має пріоритет по відношенню до всіх останніх режимів, то до тих пір, поки на виході D -тригера зберігатиметься рівень логічного нуля, при вступі тактових імпульсів нульовий стан лічильників залишатиметься незмінним.

Під час вступу імпульсу готовності (Start) на тактовий вхід C тригера 7 по його фронту тригер переходить в одиничний стан, що забезпечує рівень логічної одиниці на входах R лічильників, знімаючи блокування нульового стану.

Нульове значення сигналів з виходів переповнення лічильників формує нульове значення на вході дозволу режиму завантаження лічильника 3, одиничне значення на входах дозволу режиму завантаження і входах дозволу режиму лічби лічильників 1, 2, що забезпечує режим збереження.

І тоді під час вступу першого (після закінчення перехідного процесу, пов'язаного із зняттям блокування) тактового імпульсу C відбувається перехід лічильника 3 у стан 0011, формуючи одиничне значення на виході Y_3 дешифратора, на вході елемента АБО 17, на входах завантаження D_1 , D_2 лічильника 1, на виході переповнення лічильника 3, на вході дозволу режиму завантаження лічильника 3, нульове значення на входах дозволу режиму завантаження лічильників 1, 2 і вході дозволу режиму лічби лічильника 3. У результаті цих змін лічильник 3 переходить у режим лічби, лічильники 1, 2 - у режим завантаження, на входах завантаження лічильника формується значення, рівне 0110, яке визначає кратність тривалості першого імпульсу у серії.

Під час вступу другого тактового імпульсу лічильник 1 переходить у стан 0110, лічильник 2 переходить у стан $d_3d_2d_1d_0$, лічильник 3 - у стан 0010. У результаті цих змін лічильники 2, 3 переходять у режим збереження, а лічильник 1 - у режим лічби. Під час вступу наступного і подальших тактових імпульсів зміст лічильника 1 буде зменшуватись, а стан лічильників 2, 3 буде залишитися незмінним до тих пір, поки зміст лічильника 1 не стане рівним 0, що забезпечує рівень логічного 0 на його виході переповнення, на вході дозволу режиму лічби лічильника 2, рівень логічної 1 на виході інвертора 12 (на вході P_0 лічильника 1) і рівень логічного 0 на виході елемента 13. На цьому закінчується формування першого імпульсу у серії, тривалість якого дорівнює $6T$.

У результаті цих змін лічильник 1 переходить у режим збереження, а лічильник 2 у режим лічби. Режим збереження лічильника 3 залишиться незмінним. Під час вступу подальших тактових імпульсів зміст лічильника 2 буде зменшуватися, а стан лічильників 1, 3 буде залишатися незмінним до тих пір, поки зміст лічильника 2 не стане рівним 0. На цьому закінчується формування паузи між першим і другим імпульсами у серії, тривалість якої дорівнює $3T$.

У результаті цих змін формується рівень логічного 0 на виході переповнення лічильника 2 і, як наслідок, на виході елемента 4, у результаті чого лічильники 1, 2 знову переходять у режим завантаження, а лічильник 3 у режим лічби. Під час вступу подальших тактових імпульсів процеси аналогічні, тобто формується другий імпульс у серії, потім друга пауза, потім третій

імпульс і наступна пауза між серіями, тривалість якої дорівнює $4T$, по закінченню якої формувач повертається у вихідний стан. Під час вступу подальших тактових імпульсів починається формування другої серії і так далі.

Таким чином, після закінчення перехідного процесу, пов'язаного з включенням джерела живлення після подачі імпульсу запуску (Start) при вступу на вхід С формувача періодичної послідовності тактових імпульсів з періодом T на виході формувача генерується періодична послідовність кодових серій, кожна з яких містить три імпульси, тривалість першого з яких дорівнює $6T$, другого $-T$, третього $3T$. Тривалість паузи між імпульсами в серії і між серіями визначається значенням $d_3d_2d_1d_0$. Тривалість паузи між імпульсами в серії дорівнює $(d_3d_2d_1d_0+1)T$, тривалість паузи між серіями імпульсів дорівнює $(d_3d_2d_1d_0+2)T$.

Зупинка процесу формування вихідної послідовності імпульсів здійснюється подачею імпульсу, відповідного рівню логічного нуля, на вхід зупинки (Stop), що формує активний рівень сигналу на вході R асинхронної установки D-тригера 7, що призводить до переходу його у нульовий стан ($Q=0$). Імпульс Stop, як правило, асинхронний по відношенню до імпульсів зовнішнього генератора і до стану лічильника.

Якщо у момент вступу тактового імпульсу лічильники знаходяться у нульовому стані, то при переході D-тригера 7 у нульовий стан на входах елемента АБО 10 і його виході буде сформований рівень логічного 0, обумовлюючи рівень нуля на вході та виході елемента І 9, що призведе до блокування нульового стану тригерів і лічильника, а отже, до припинення процесу генерації.

Якщо у момент вступу тактового імпульсу хоч би один з лічильників знаходиться у стані, відмінному від нульового, яке характеризується рівнем логічної одиниці на їх виходах переповнення, з'єднаних зі входом елемента АБО 10, обумовлюючи рівень логічної одиниці на його виході, приєднаного до входу елемента 9. Оскільки на другому вході цього елемента також рівень логічної одиниці, визначений напругою на конденсаторі 6, який зарядився при включенні джерела живлення, то на виході елемента І 9, а отже, і на входах R лічильників буде сформований рівень логічної одиниці.

Звідси витікає, що після вступу імпульсу Stop припинення генерації не станеться, обумовлюючи тим самим запобігання спотворенню імпульсів в серії. І тільки зі вступом подальших імпульсів, коли відбуватиметься перехід лічильників у нульовий стан, на виході елемента АБО 10 буде сформований рівень логічного 0, обумовлюючи рівень 0 на вході та виході елемента І 9, що приведе до блокування нульового стану лічильника і тригерів, а отже, до припинення процесу генерації. Зі вступом наступного імпульсу запуску усі процеси повторюються.

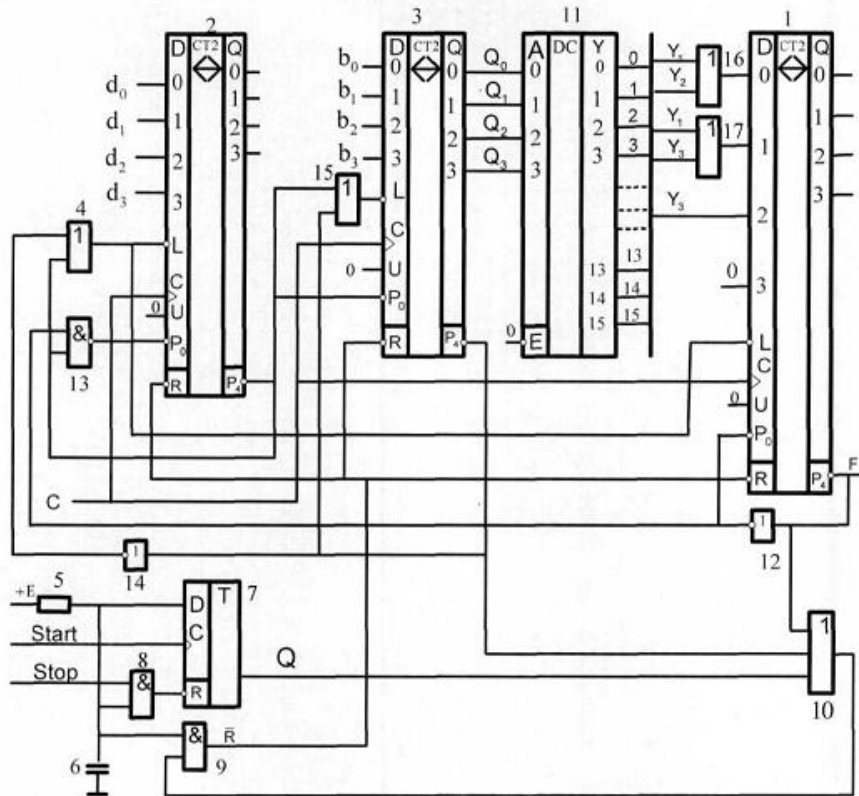
На фіг. 2 приведений граф переходів формувача, що складається з трьох кілець (перше кільце - граф переходів лічильника 1, друге кільце - граф переходів лічильника 3, третє кільце - граф переходів лічильника 2) із загальною вершиною, відповідною нульовому стану лічильників, а на фіг. 3 часові діаграми, що ілюструють роботу для варіанту програмування $d_3d_2d_1d_0$.

На відміну від відомого пристрою формування періодичної послідовності триімпульсних кодових серій з програмованою тривалістю паузи між імпульсами у серії розширює функціональні можливості і область використання формувача.

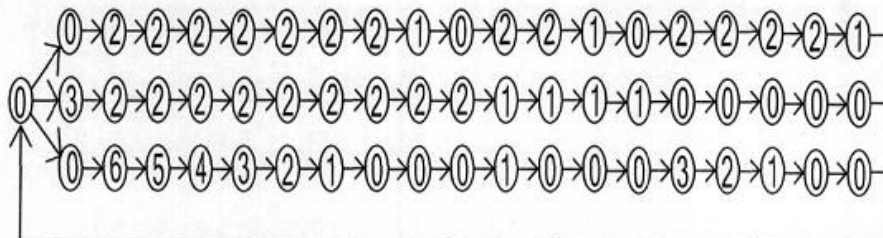
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Формувач періодичної послідовності триімпульсних кодових серій з програмованою тривалістю паузи між імпульсами у серії, що містить: два реверсивні двійкові лічильники, кожен з яких має вхід подачі імпульсів синхронізації, вхід налагодження на режим підсумовування/віднімання, вхід дозволу синхронного паралельного завантаження і входи подачі даних, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; перший і другий елементи АБО; інвертор; ланцюжок, що складається з послідовно поєднаних резистора і конденсатора; синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий двовходові елементи І, при цьому спільна точка послідовно сполучених резистора і конденсатора поєднана з інформаційним входом D-тригера, зі входами першого та другого двовходових елементів І; другий вхід першого елемента І створює вхід подачі імпульсів зупинки (Stop) формування імпульсів на виході; вихід D-тригера з'єднано зі входом першого елемента АБО, вихід якого з'єднано з другим входом другого елемента І; вихід першого двовходового елемента І з'єднано зі входом асинхронної установки D-тригера у нульовий стан; вихід другого елемента АБО з'єднано зі входом дозволу синхронного паралельного завантаження першого лічильника; вихід переповнювання першого лічильника, який утворює вихід формувача, з'єднано зі входом першого елемента АБО і входом інвертора, вихід якого з'єднано зі входом

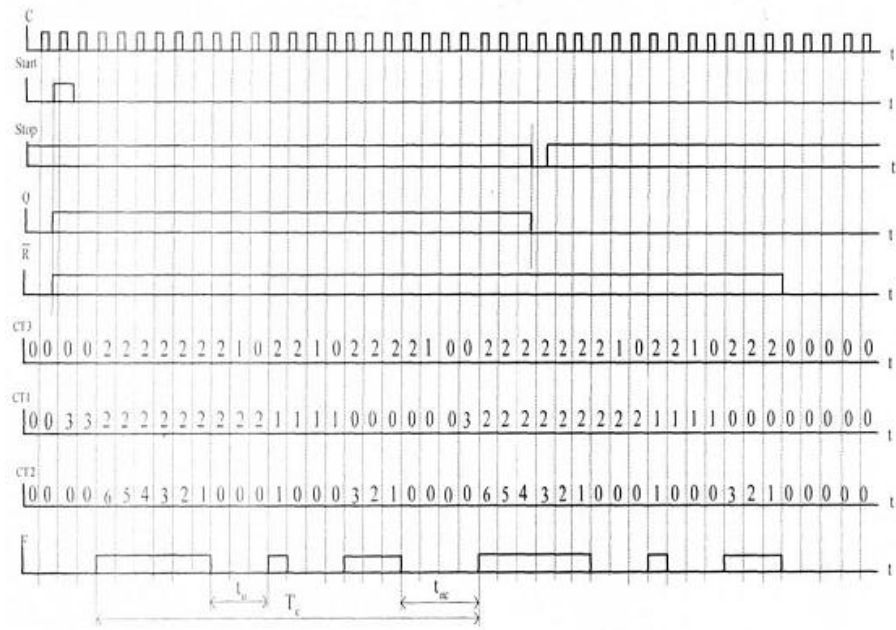
дозволу режиму лічби першого лічильника; вихід переповнювання другого лічильника з'єднано
 зі входом першого елемента АБО; значення сигналів на входах паралельного завантаження
 даних першого лічильника визначають тривалість імпульсів на виході формувача; входи
 паралельного завантаження другого лічильника утворюють входи програмування формувача на
 5 задану паузу між імпульсами; вихід другого елемента І з'єднано зі входами асинхронної
 установки лічильників у нульовий стан; тактові входи першого та другого лічильників сполучені
 між собою, створюючи вхід формувача - вхід подачі безперервної періодичної послідовності
 імпульсів з виходу зовнішнього генератора; тактовий вхід D-тригера створює вхід подачі
 імпульсів запуску (Start), який **відрізняється** тим, що введено: третій реверсивний двійковий
 10 лічильник, який має вхід подачі імпульсів синхронізації, вхід налагодження на режим
 підсумовування/віднімання, вхід дозволу синхронного паралельного завантаження і входи
 подачі даних, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід
 переповнювання; повний дешифратор; третій, четвертий і п'ятий елементи АБО; другий
 інвертор; елемент І-НІ, один вхід якого з'єднано з виходом переповнення другого лічильника,
 15 входами другого і третього елементів АБО, входом дозволу режиму лічби третього лічильника;
 другий вхід елемента І-НІ з'єднано з виходом першого інвертора; другий вхід третього елемента
 АБО з'єднано з виходом переповнення третього лічильника, входом першого елемента АБО,
 входом другого інвертора, вихід якого з'єднано з другим входом другого елемента АБО; вихід
 третього елемента АБО зі входом дозволу режиму завантаження третього лічильника; вихід
 20 елемента І-НІ з'єднано зі входом дозволу режиму лічби другого лічильника; входи завантаження
 даних $D_0D_1D_2D_3$ третього лічильника утворюють входи $b_0b_1b_2b_3$ переналагодження формувача
 на задану кількість імпульсів у серії; входи третього лічильника з'єднано зі входами
 чотирьох адресного дешифратора, який має 16 виходів (Y_0-Y_{15}); вихід Y_1 з'єднано з першими
 входами четвертого і п'ятого елементів АБО; вихід Y_2 з'єднано з другим входом четвертого
 25 елемента АБО; вихід Y_3 з'єднано з другим входом п'ятого елемента АБО і входом завантаження
 даних D_2 першого лічильника; вихід четвертого елемента АБО з'єднано зі входом завантаження
 даних D_0 першого лічильника; вихід п'ятого елемента АБО з'єднано зі входом завантаження
 даних D_1 першого лічильника; вхід завантаження даних D_3 першого лічильника з'єднано з
 рівнем логічного 0; вхід асинхронної установки у нульовий стан третього лічильника з'єднано з
 30 виходом другого елемента І; тактовий вхід третього лічильника з'єднано зі входом формувача.



Фиг. 1



Фиг. 2



Фіг. 3