



МІНІСТЕРСТВО  
ЕКОНОМІЧНОГО  
РОЗВИТКУ І ТОРГІВЛІ  
УКРАЇНИ

УКРАЇНА

(19) UA

(11) 119497

(13) U

(51) МПК

H03K 3/78 (2006.01)

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2017 03741**

(22) Дата подання заявки: **18.04.2017**

(24) Дата, з якої є чинними  
права на корисну  
модель: **25.09.2017**

(46) Публікація відомостей  
про видачу патенту: **25.09.2017, Бюл.№ 18**

(72) Винахідник(и):

**Коробков Микола Григорович (UA),  
Коробкова Олена Миколаївна (UA),  
Рубанов Васілій Грігор'євич (RU),  
Харченко Вячеслав Сергійович (UA)**

(73) Власник(и):

**НАЦІОНАЛЬНИЙ АЕРОКОСМІЧНИЙ  
УНІВЕРСИТЕТ ІМ. М.Є. ЖУКОВСЬКОГО  
"ХАРКІВСЬКИЙ АВІАЦІЙНИЙ ІНСТИТУТ",  
вул. Чкалова, 17, м. Харків, 61070 (UA)**

## (54) ФОРМУВАЧ ПЕРІОДИЧНОЇ ПОСЛІДОВНОСТІ З ПЕРЕНАСТРОЮВАНОЮ ТРИВАЛІСТЮ ІМПУЛЬСІВ І ПАУЗИ І ПРОГРАМОВАНОЮ ЗАТРИМКОЮ ПОЧАТКУ ФОРМУВАННЯ ВІДНОСНО СТАРТОВОГО ІМПУЛЬСУ

### (57) Реферат:

Формувач періодичної послідовності з перенастроюваною тривалістю імпульсів і паузи і програмованою затримкою початку формування відносно стартового імпульсу містить два двійкових лічильники, перший з яких реверсивний, налагоджений на режим віднімання, що має вхід подачі імпульсів синхронізації, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; інвертор; ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, підключеного до джерела живлення; стартоstopний пристрій, який містить синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий двовходові елементи І; перший, другий і третій елементи АБО. При цьому введено одноадресний мультиплексор, а другий лічильник виконаний однорозрядним; перша група входів мультиплексора утворює входи програмування формувача на задану тривалість затримки початку формування періодичної послідовності з перенастроюваною тривалістю імпульсів і паузи відносно стартового імпульсу, друга група входів мультиплексора утворює входи налаштування формувача на задану тривалість імпульсів і паузи на виході; виходи мультиплексора з'єднано зі входами паралельного завантаження першого лічильника.

UA 119497 U

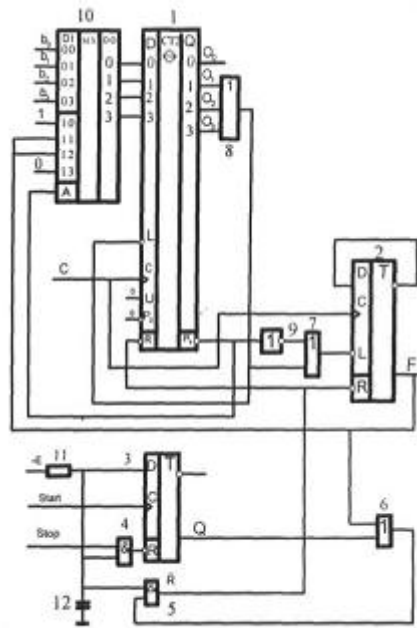


Fig. 1

Корисна модель належить до імпульсної, обчислювальної і вимірювальної техніки, призначена для формування періодичної послідовності з перенастроюваною тривалістю імпульсів і паузи і програмованою затримкою початку формування відносно стартового імпульсу.

Відомі формувачі, що містять кварцовий задаючий генератор, який працює в безперервному режимі, пристрій синхронізації і вихідний пристрій, що забезпечує формування необхідних імпульсів, часові параметри яких визначаються часовими параметрами імпульсів, що подаються на вхід (Ю. В. Новиков Основы цифровой техники, М. "МИР" 2001, Рис. 5.13-5.18).

Недолік відомих пристроїв - складність внутрішньої структури.

Відомі формувачі імпульсів з перенастроюваною тривалістю (патенти України на корисну модель № № 56879, 57976, 58272, 59473, 59474, 59481, 61842, 62967, 63177).

Недолік пристроїв - складність структури, що обумовлено необхідністю використання двох багаторозрядних двійкових лічильників.

Найбільш близьким за технічною суттю і результатом, що досягається, є формувач періодичної послідовності з перенастроюваною тривалістю імпульсів і паузи і програмованою затримкою початку формування відносно стартового імпульсу (патент України на корисну модель № 61853, який містить два двійкових лічильники, перший з яких реверсивний, налагоджений на режим віднімання, що має вхід подачі імпульсів синхронізації, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; інвертор; ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, підключеного до джерела живлення; стартозупинний пристрій, який містить синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий двовходові елементи І; перший, другий і третій елементи АБО, при цьому перший вхід першого елемента АБО з'єднано з виходом D-тригера; вихід першого елемента АБО з'єднано з першим входом другого елемента І; загальна точка послідовно сполучених резистора і конденсатора з'єднана з інформаційним входом D-тригера, з одним входом першого та другим входом другого елементів І; вихід першого елемента І сполучений зі входом асинхронної установки D-тригера в нульовий стан; вихід другого елемента І з'єднаний зі входами асинхронної установки лічильників у нульовий стан; тактові входи лічильників утворюють вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього кварцового генератора; тактовий вхід D-тригера утворює вхід подачі імпульсів запуску; другий вхід першого елемента І утворює вхід подачі імпульсів зупинки формування вихідних імпульсів; входи паралельного завантаження першого лічильника утворюють входи налагодження формувача на задані часові параметри вихідних імпульсів.

Недолік відомого пристрою - складність схеми перестроювання формувача на задану тривалість імпульсів, що обумовлено необхідністю використання другого лічильника, визначаючого задану тривалість і, як наслідок, висока споживана потужність, висока вартість.

В основу корисної моделі поставлено задачу спрощення перестроювання формувача на задану тривалість імпульсів, зменшення споживаної потужності та вартості.

Поставлена задача вирішується тим, що в формувач періодичної послідовності з перенастроюваною тривалістю імпульсів і паузи і програмованою затримкою початку формування відносно стартового імпульсу містить два двійкових лічильники, перший з яких реверсивний, налагоджений на режим віднімання, що має вхід подачі імпульсів синхронізації, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; інвертор; ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, підключеного до джерела живлення; стартозупинний пристрій, який містить синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий двовходові елементи І; перший, другий і третій елементи АБО, при цьому перший вхід першого елемента АБО з'єднано з виходом D-тригера; вихід першого елемента АБО з'єднано з першим входом другого елемента І; загальна точка послідовно сполучених резистора і конденсатора з'єднана з інформаційним входом D-тригера, з одним входом першого та другим входом другого елементів І; вихід першого елемента І сполучений зі входом асинхронної установки D-тригера в нульовий стан; вихід другого елемента І з'єднаний зі входами асинхронної установки лічильників у нульовий стан; тактові входи лічильників утворюють вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього кварцового генератора; тактовий вхід D-тригера утворює вхід подачі імпульсів запуску; другий вхід першого елемента І утворює вхід подачі імпульсів зупинки формування вихідних імпульсів; входи паралельного завантаження першого лічильника утворюють входи налагодження формувача на задані часові параметри вихідних імпульсів, відповідно до корисної моделі введено одноадресний мультиплексор, а другий

лічильник виконаний однорозрядним (другий D-тригер зі входом дозволу переходу L і входом асинхронної установки у нульовий стан R); перша група входів мультиплексора утворює входи програмування формувача на задану тривалість затримки початку формування періодичної послідовності з перенастроюваною тривалістю імпульсів і паузи відносно стартового імпульсу, друга група входів мультиплексора утворює входи налаштування формувача на задану тривалість імпульсів і паузи на виході; виходи мультиплексора з'єднано зі входами паралельного завантаження першого лічильника; при цьому при налаштуванні на формування послідовності імпульсів з тривалістю, яка дорівнює періоду тактових імпульсів, що подаються на вхід формувача з виходу зовнішнього кварцового генератора, а тривалість паузи дорівнює семи періодам, перший вхід другої групи входів мультиплексора з'єднано з рівнем логічної одиниці, другий і третій входи другої групи входів мультиплексора з'єднано з другим входом першого елемента АБО і з прямим виходом другого D-тригера, який утворює вихід формувача; четвертий вхід другої групи входів мультиплексора з'єднано з рівнем логічного нуля; адресний вхід мультиплексора з'єднано з виходом переповнення першого лічильника і входом інвертора, вихід якого з'єднано з першим входом другого елемента АБО; вихід другого елемента АБО з'єднано зі входом дозволу переходу другого лічильника (входом L другого D-тригера); виходи другого, третього і четвертого розрядів першого лічильника з'єднано зі входами третього елемента АБО, вихід якого з'єднано з другим входом другого елемента АБО і входом дозволу синхронного завантаження першого лічильника.

На фіг. 1 приведена схема формувача.

Формувач містить: реверсивний двійковий лічильник 1, налагоджений на режим віднімання, який має вхід подачі тактових імпульсів C, вхід налагодження на режим підсумовування/віднімання U, вхід дозволу синхронного паралельного завантаження L і входи подачі завантажуваних даних  $D_0$ - $D_3$ , вхід дозволу режиму лічби  $P_0$ , вхід асинхронної установки в нульовий стан R, вихід переповнювання  $P_4$ ; синхронний DL-тригер 2 зі входом дозволу переходу L і входом асинхронної установки у нульовий стан R; синхронний D-тригер 3 зі входом асинхронної установки в нульовий стан R; перший 4 і другий 5 елементи І; перший 6, другий 7 і третій 8 елементи АБО; інвертор 9; одноадресний мультиплексор (10), перша група входів якого ( $D_{00}$ - $D_{03}$ ) утворює входи ( $b_3b_2b_1b_0$ ) програмування тривалості затримки початку формування відносно стартового імпульсу (Start), друга група входів ( $D_{10}$ - $D_{13}$ ) мультиплексора утворює входи налаштування формувача на задану тривалість імпульсів і паузи; ланцюжок, що складається з послідовно з'єднаних резистора 11 і конденсатора 12. Загальна точка послідовно сполучених резистора 11 і конденсатора 12, підключених до джерела живлення (+E) з'єднана з інформаційним входом тригера 3, з одним входом елемента 4 і з одним входом елемента 5. Другий вхід елемента 4 утворює вхід подачі імпульсів зупинки (Stop) формування вихідних імпульсів.

При налаштуванні формувача на формування послідовності імпульсів, тривалість яких дорівнює періоду тактових імпульсів (що подаються на вхід формувача з виходу зовнішнього кварцового генератора), а тривалість паузи дорівнює 7T, перший вхід ( $D_{10}$ ) другої групи входів мультиплексора з'єднано з рівнем логічної одиниці, другий ( $D_{11}$ ) і третій ( $D_{12}$ ) входи другої групи входів мультиплексора з'єднано з другим входом першого елемента АБО і з прямим виходом другого D-тригера, четвертий ( $D_{13}$ ) вхід другої групи входів мультиплексора з'єднано з рівнем логічного нуля. Адресний вхід мультиплексора (A) з'єднано з виходом переповнення лічильника 1 і входом інвертора 9, вихід якого з'єднано з першим входом елемента 7. Вихід елемента 7 з'єднано зі входом дозволу переходу другого лічильника (входом L-тригера 2). Виходи другого ( $Q_1$ ), третього ( $Q_2$ ) і четвертого ( $Q_3$ ) розрядів лічильника 1 з'єднано зі входами елемента 8, вихід якого з'єднано з другим входом елемента 7 і входом (L) дозволу синхронного паралельного завантаження лічильника 1. Прямий вихід тригера 2, який утворює вихід (F) формувача, з'єднано з другим входом елемента 6. Інверсний вихід тригера 2 з'єднано з його входом D. Вихід елемента 5 з'єднано зі входами R лічильника 1 і тригера 2. Тактові входи C-лічильника 1 і тригера 2 сполучені між собою, утворюючи вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього кварцового генератора. Тактовий вхід C тригера 3 утворює вхід подачі імпульсів запуску (Start) формування вихідних імпульсів.

Працює формувач в наступній послідовності.

Наявність ланцюжка, що складається із поєднаних послідовно резистора 11 і конденсатора 12, підключеного до шини живлячої напруги +E, при включенні джерела живлення протягом деякого проміжку часу формує рівень логічного нуля на входах елементів 4 та 5, забезпечуючи формування рівня логічного нуля на їхніх виходах, тобто на входах R асинхронної установки у нульовий стан тригера 3, тригера 2 і лічильника 1.

Після закінчення перехідного процесу, пов'язаного з включенням джерела живлення, тригери і лічильник переходять у нульовий стан, формуючи рівень логічного нуля відповідно на виходах тригерів 2, 3 і на виходах лічильника 1, що веде до формування рівня логічного нуля на виході елемента 6, який з'єднано зі входом елемента 5, що забезпечує рівень логічного нуля на входах R асинхронної установки у нульовий стан лічильника 1 і тригера 2 і по закінченні перехідного процесу, пов'язаного із зарядом конденсатора 12. Оскільки режим асинхронної установки лічильника і тригера у нульовий стан має пріоритет відносно до всіх останніх режимів, то доти, поки на вході елемента 6 (а отже і на його виході) зберігатиметься рівень логічного нуля, при надходженні тактових імпульсів нульовий стан лічильника 1 і тригера 2 залишатиметься незмінним, тобто залишатиметься незмінним нульове значення на його виході переповнення, на виході елемента 8, на вході дозволу завантаження лічильника 1, на адресному вході мультиплексора, на виході формувача, одиничне значення на виході інвертора, на вході і виході елемента 7, тобто на вході L тригера 2.

Під час вступу імпульсу запуску (Start) на тактовий вхід С тригера 3 по його фронту тригер переходить в одиничний стан ( $Q=1$ ,  $\bar{Q}=0$ ), формуючи рівень логічної одиниці на виході елемента 6, а отже на вході та виході елемента 5, що забезпечує рівень логічної одиниці на входах R лічильника 1 і тригера 2, знімаючи блокування. Оскільки на вході L лічильника 1 рівень логічного нуля, а на вході L-тригера 2 рівень логічної одиниці, то до моменту вступу чергового тактового імпульсу лічильник 1 знаходиться у режимі готовності завантаження, а тригер 2 у режимі заборони переходу.

І тоді під час вступу першого (після закінчення перехідного процесу, пов'язаного із зняттям блокування) тактового імпульсу С по його фронту відбувається паралельне завантаження лічильника 1 значеннями сигналів, які подаються на відповідні входи  $D_0$ - $D_3$  з виходів мультиплексора, що визначаються значеннями сигналів на його входах першої групи.

Лічильник переходить у стан  $Q_3=b_3$ ,  $Q_2=b_2$ ,  $Q_1=b_1$ ,  $Q_0=b_0$ , що веде до формування одиничного значення на виході переповнення лічильника 1, на виході елемента 8 і нульового значення на виході інвертора 9, формуючи нульове значення на його виході. Нульовий стан тригера 2 (нульове значення сигналу на виході формувача) залишається незмінним.

В результаті цього переходу лічильник 1 перейде в режим лічби (віднімання). Під час вступу подальших тактових імпульсів зміст лічильника 1 зменшуватиметься, а нульовий стан тригера 2 залишається незмінним. Як тільки зміст лічильника 1 стане рівним 0001 на виходах елементів 7, 8 формується нульове значення. В результаті цього лічильник 1 перейде в режим завантаження, а тригер 2 - в режим переходу. І тоді під час вступу наступного тактового імпульсу по його фронту відбувається паралельне завантаження лічильника 1 значеннями сигналів, які подаються на відповідні входи  $D_0$ - $D_3$  з виходів мультиплексора, що визначаються значеннями сигналів на його входах другої групи (0001), тобто зміст лічильника 1 залишиться незмінним. Тригер 2 перейде в одиничний стан, формуючи одиничне значення на виході формувача.

І тоді під час вступу наступного тактового імпульсу по його фронту відбувається паралельне завантаження лічильника 1 значеннями сигналів, які подаються на відповідні входи  $D_0$ - $D_3$  з виходів мультиплексора, що визначаються значеннями сигналів на його входах другої групи (0111), а тригер 2 перейде у нульовий стан. І тоді під час вступу наступного тактового імпульсу зміст лічильника 1 зменшуватиметься, а нульовий стан тригера 2 залишається незмінним. Як тільки зміст лічильника 1 стане рівним 0001 на виходах елементів 7, 8 формується нульового значення. В результаті цього лічильник 1 перейде в режим завантаження, а тригер 2 - в режим переходу.

Надалі процеси повторюються. Таким чином, після закінчення перехідного процесу, пов'язаного із зняттям блокування, під час вступу на вхід С формувача періодичної послідовності імпульсів з періодом Т на прямому виході тригера 2 генерується періодична послідовність імпульсів, тривалість яких дорівнює періоду тактових імпульсів (що подаються на вхід формувача з виходу зовнішнього кварцового генератора), а тривалість паузи дорівнює  $7T$ , з програмованою затримкою відносно стартового імпульсу, яка визначається значенням сигналів програмування  $V=b_3b_2b_1b_0$ .

Зупинка процесу формування вихідної послідовності імпульсів здійснюється подачею імпульсу, відповідного рівню логічного нуля, на вхід зупинки (Stop), що формує активний рівень сигналу на вході R асинхронної установки D-тригера 3, що призводить до переходу його у нульовий стан ( $Q=0$ ). Імпульс Stop, як правило, асинхронний по відношенню до імпульсів зовнішнього генератора і до стану тригера 2.

Якщо у момент вступу тактового імпульсу тригер 2 знаходитиметься у нульовому стані, то при переході D-тригера 3 у нульовий стан на входах елемента 6 і його виході буде

сформований рівень логічного 0, обумовлюючи рівень логічного нуля на вході та виході елемента 5, що призведе до переходу лічильника 1 у нульовий стан, а отже, до припинення процесу генерації.

5 Якщо у момент переходу тригер 2 знаходитиметься стані відмінному від нульового, то на виході формувача з'єданого зі входом елемента 6, буде рівень логічної одиниці, обумовлюючи рівень логічної одиниці на його виході і вході елемента 5. Оскільки на другому вході елемента 5 також рівень логічної одиниці, визначуваний напругою на конденсаторі 12, який зарядився при включенні джерела живлення, то на входах R лічильника і тригера 2 буде рівень логічної одиниці. Звідси витікає, що у момент вступу імпульсу Stop припинення генерації не станеться, 10 обумовлюючи тим самим запобігання спотворенню останнього імпульсу у вихідній послідовності. І тільки зі вступом подальших тактових імпульсів, коли відбуватиметься перехід тригера 2 у нульовий стан на входах елемента 6 і його виході буде сформований рівень логічного 0, обумовлюючи рівень логічного нуля на вході та виході елемента 5, що призведе до переходу лічильника 1 у нульовий стан, а отже, до припинення процесу генерації. Зі вступом 15 наступного імпульсу запуску усі процеси повторюються.

На фіг. 2 приведені граф переходів формувача, що складається з двох кілець (верхнє кільце - граф переходів лічильника 1, нижнє кільце - граф переходів тригера 2) із загальною вершиною, відповідною нульовому стану лічильника і тригера 2, а на фіг. 3 зображені епюри, що ілюструють роботу для варіанта налаштування формувача на тривалість імпульсів, яка 20 дорівнює  $T$ , паузи між ними, що дорівнює  $7T$  і програмування тривалості затримки ( $t_3$ ) початку формування імпульсів на виході відносно стартового імпульсу, що визначається значенням  $B=b_3b_2b_1b_0=0011=3$ . Оскільки стартові імпульси асинхронні відносно до тактових імпульсів, то тривалість затримки початку формування знаходиться у діапазоні:  $3T < t_3 < 4T$ .

На відміну від відомого пристрою спрощення структури другого лічильника дозволило 25 спростити технологію його виготовлення, знизити споживану потужність і вартість.

#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Формувач періодичної послідовності з перенастроюваною тривалістю імпульсів і паузи і 30 програмованою затримкою початку формування відносно стартового імпульсу містить два двійкових лічильники, перший з яких реверсивний, налагоджений на режим віднімання, що має вхід подачі імпульсів синхронізації, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; інвертор; ланцюжок, що складається з послідовно 35 з'єднаних резистора і конденсатора, підключеного до джерела живлення; стартозупинний пристрій, який містить синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий двовходові елементи I; перший, другий і третій елементи АБО, при цьому перший вхід першого елемента АБО з'єднано з виходом D-тригера; вихід першого елемента АБО з'єднано з першим входом другого елемента I; загальна точка послідовно сполучених 40 резистора і конденсатора з'єднана з інформаційним входом D-тригера, з одним входом першого та другим входом другого елементів I; вихід першого елемента I сполучений зі входом асинхронної установки D-тригера в нульовий стан; вихід другого елемента I з'єднаний зі входами асинхронної установки лічильників у нульовий стан; тактові входи лічильників утворюють вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу 45 зовнішнього кварцового генератора; тактовий вхід D-тригера утворює вхід подачі імпульсів запуску; другий вхід першого елемента I утворює вхід подачі імпульсів зупинки формування вихідних імпульсів; входи паралельного завантаження першого лічильника утворюють входи налагодження формувача на задані часові параметри вихідних імпульсів, який **відрізняється** тим, що введено одноадресний мультиплексор, а другий лічильник виконаний однорозрядним 50 (другий D-тригер зі входом дозволу переходу L і входом асинхронної установки у нульовий стан); перша група входів мультиплексора утворює входи програмування формувача на задану тривалість затримки початку формування періодичної послідовності з перенастроюваною тривалістю імпульсів і паузи відносно стартового імпульсу, друга група входів мультиплексора утворює входи налаштування формувача на задану тривалість імпульсів і паузи на виході; 55 виходи мультиплексора з'єднано зі входами паралельного завантаження першого лічильника; при цьому при налаштуванні на формування послідовності імпульсів з тривалістю, яка дорівнює періоду тактових імпульсів, що подаються на вхід формувача з виходу зовнішнього кварцового генератора, а тривалість паузи дорівнює семи періодам, перший вхід другої групи входів мультиплексора з'єднано з рівнем логічної одиниці, другий і третій входи другої групи входів 60 мультиплексора з'єднано з другим входом першого елемента АБО і з прямим виходом другого

- 5 D-тригера, який утворює вихід формувач; четвертий вхід другої групи входів мультиплексора з'єднано з рівнем логічного нуля; адресний вхід мультиплексора з'єднано з виходом переповнення першого лічильника і входом інвертора, вихід якого з'єднано з першим входом другого елемента АБО; вихід другого елемента АБО з'єднано зі входом дозволу переходу другого лічильника (входом L другого D-тригера); виходи другого, третього і четвертого розрядів першого лічильника з'єднано зі входами третього елемента АБО, вихід якого з'єднано з другим входом другого елемента АБО і входом дозволу синхронного завантаження першого лічильника.

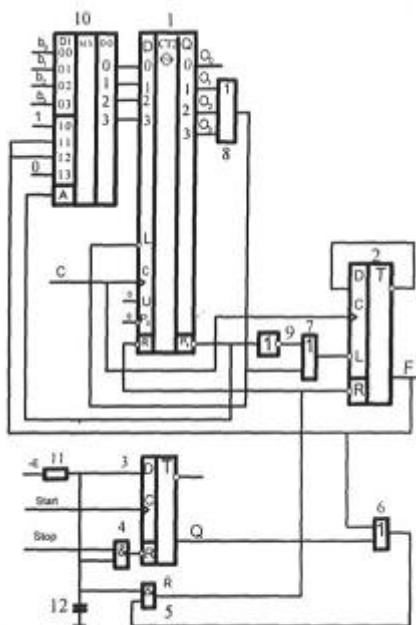


Fig. 1

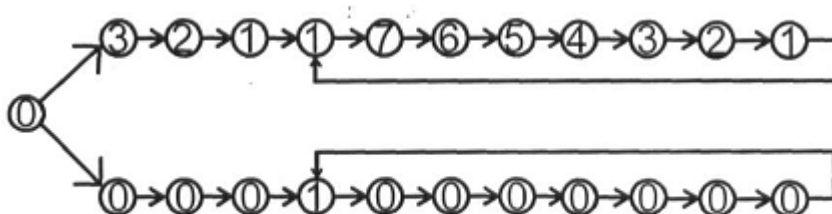


Fig. 2

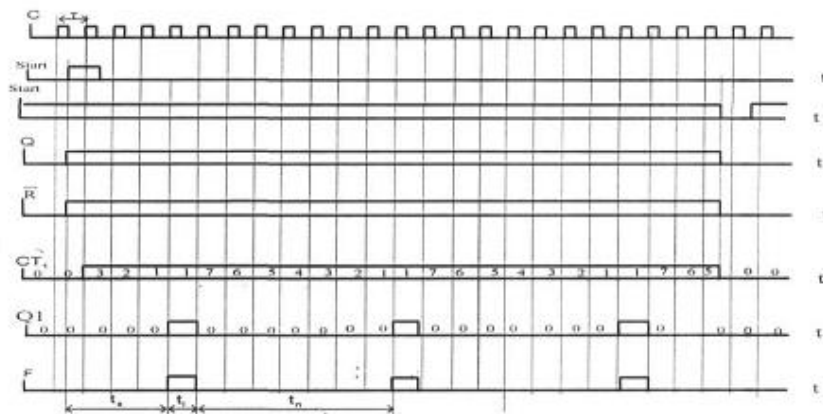


Fig. 3

---

Комп'ютерна верстка О. Гергіль

---

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

---

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601