



ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИ

УКРАЇНА

(19) UA

(11) 102830

(13) U

(51) МПК

H03K 3/78 (2006.01)

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2015 03927**

(22) Дата подання заявки: **24.04.2015**

(24) Дата, з якої є чинними  
права на корисну  
модель: **25.11.2015**

(46) Публікація відомостей  
про видачу патенту: **25.11.2015, Бюл.№ 22**

(72) Винахідник(и):

Коробков Микола Григорович (UA),  
Коробкова Олена Миколаївна (UA),  
Фролов Олександр Вікторович (UA),  
Фролов В'ячеслав Вікторович (UA)

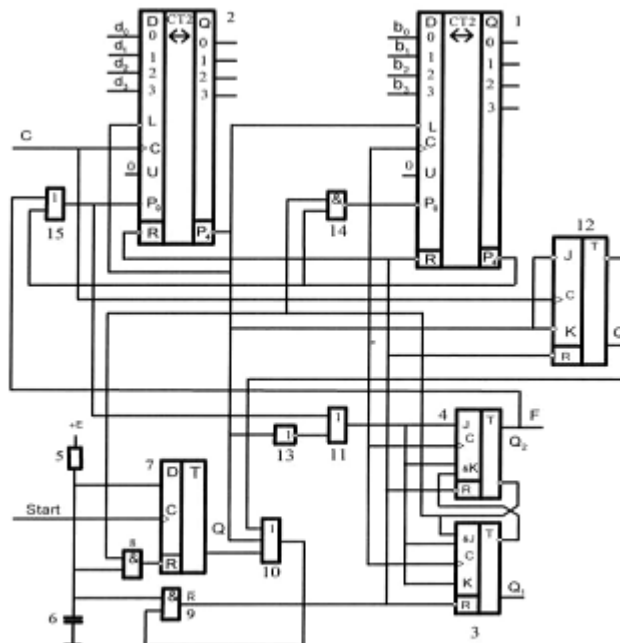
(73) Власник(и):

НАЦІОНАЛЬНИЙ АЕРОКОСМІЧНИЙ  
УНІВЕРСИТЕТ ІМ. М.Є. ЖУКОВСЬКОГО  
"ХАРКІВСЬКИЙ АВІАЦІЙНИЙ ІНСТИТУТ",  
вул. Чкалова, 17, м. Харків, 61070 (UA)

## (54) ФОРМУВАЧ ОДИНОЧНОЇ СЕРІЇ З ДВОХ ПАЧОК ІМПУЛЬСІВ

### (57) Реферат:

Формувач одиночної серії з двох пачок імпульсів містить два реверсивні двійкові лічильники, три синхронних JK-тригери і синхронний D-тригер зі входами асинхронної установки у нульовий стан, три елементи АБО, елемент І-НІ, два елементи І, інвертор, ланцюжок, що складається з послідовно з'єднаного резистора і конденсатора.



Фиг. 1

UA 102830 U



Корисна модель належить до імпульсної техніки і призначена для формування одиночної серії з двох пачок імпульсів з фіксованою тривалістю імпульсів і паузи між ними в пачці, програмованою кількістю імпульсів в пачці і паузи між пачками.

Відомі формувачі, що містять кварцовий задавальний генератор, який працює в безперервному режимі, пристрій синхронізації і вихідний пристрій, що забезпечує формування необхідних імпульсів, часові параметри яких визначаються часовими параметрами імпульсів, що подаються на вхід [Тактовий генератор. Авторське свідоцтво СРСР № 307502. - Бюлетень винаходів. № 20, 1971; Тактовий генератор. АС СРСР № 354544. - Бюлетень винаходів. № 30, 1972]. Патенти на корисну модель України № 55951, 61312, 71778, 72614.

Недолік відомих пристроїв - обмежені функціональні можливості, обумовлені налагоджуванням на фіксований режим параметрів імпульсів.

Найбільш близьким за технічною суттю і результатом, що досягається, є формувач одиночної серії з двох пачок імпульсів (патент на корисну модель України № 53542 від 11.10.2010), який містить: два реверсивні двійкові лічильники, кожен з яких має вхід подачі імпульсів синхронізації, вхід налагодження на режим підсумовування/віднімання, вхід дозволу режиму рахування, вхід дозволу синхронного паралельного завантаження і входи подачі даних, вхід асинхронної установки у нульовий стан, вихід переповнювання; інвертор; перший і другий елементи АБО; ланцюжок, що складається з послідовно поєднаних резистора і конденсатора; синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий двовходові елементи І, при цьому спільна точка послідовно сполучених резистора і конденсатора поєднана з інформаційним входом D-тригера, з одним входом першого та другого двовходового елемента І; вихід першого двовходового елемента І з'єднано зі входом асинхронної установки D-тригера у нульовий стан; другий вхід другого елемента І з'єднано з виходом першого елемента АБО, один зі входів якого з'єднано з виходом D-тригера; вихід переповнювання другого лічильника з'єднано з його входом дозволу режиму завантаження; входи паралельного завантаження даних лічильників утворюють входи програмування формувача на задані параметри серії на виході; вихід другого елемента І з'єднано зі входами асинхронної установки лічильників у нульовий стан; тактові входи першого та другого лічильників сполучені між собою, створюючи вхід формувача - вхід подачі безперервної періодичної послідовності імпульсів з виходу зовнішнього генератора; тактовий вхід D-тригера створює вхід подачі імпульсів запуску.

Недолік відомого пристрою - обмежені функціональні можливості.

В основу корисної моделі поставлено задачу удосконалення формувача одиночної серії з двох пачок імпульсів шляхом введення нового складу елементів і нової організації взаємних з'єднань між ними.

Поставлена задача вирішується тим, що в формувач одиночної серії з двох пачок імпульсів, який містить: два реверсивні двійкові лічильники, кожен з яких має вхід подачі імпульсів синхронізації, вхід налагодження на режим підсумовування/віднімання, вхід дозволу режиму рахування, вхід дозволу синхронного паралельного завантаження і входи подачі даних, вхід асинхронної установки у нульовий стан, вихід переповнювання; інвертор; перший і другий елементи АБО; ланцюжок, що складається з послідовно поєднаних резистора і конденсатора; синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий двовходові елементи І, при цьому спільна точка послідовно сполучених резистора і конденсатора поєднана з інформаційним входом D-тригера, з одним входом першого та другого двовходового елемента І; вихід першого двовходового елемента І з'єднано зі входом асинхронної установки D-тригера у нульовий стан; другий вхід другого елемента І з'єднано з виходом першого елемента АБО, один зі входів якого з'єднано з виходом D-тригера; вихід переповнювання другого лічильника з'єднано з його входом дозволу режиму завантаження; входи паралельного завантаження даних лічильників утворюють входи програмування формувача на задані часові параметри імпульсів на виході формувача; вихід другого елемента І з'єднано зі входами асинхронної установки лічильників у нульовий стан; тактові входи першого та другого лічильників сполучені між собою, створюючи вхід формувача вхід подачі безперервної періодичної послідовності імпульсів з виходу зовнішнього генератора; тактовий вхід D-тригера створює вхід подачі імпульсів запуску, згідно з корисною моделлю введено: третій елемент АБО, двовходовий елемент І-НІ; перший, другий і третій JK-тригери зі входом асинхронної установки у нульовий стан; перший і другий JK-тригери створюють циклічний пристрій (третій лічильник), який має три стани з послідовністю переходів 00-11-10-00, при цьому, перший тригер має прямий вхід К і два прямих входи J, об'єднаних по І, другий тригер має прямий вхід J і два прямих входи К, об'єднаних по І; входи J і К третього тригера інверсні; інверсний вихід першого JK-тригера з'єднано з одним входом К другого JK-тригера, інверсний

вихід другого JK-тригера з'єднано з одним входом J першого JK-тригера, вхід K і другий вхід J першого JK-тригера з'єднано зі входом J і другим входом K другого JK-тригера, створюючи вхід дозволу режиму переходу (лічби), який з'єднано з виходом другого елемента АБО, один вхід якого з'єднано з виходом третього елемента АБО, а другий - з виходом інвертора, вхід якого з'єднано з виходом переповнювання другого лічильника, входом дозволу синхронного паралельного завантаження першого і другого лічильників, входами J і K третього JK-тригера і другим входом першого елемента АБО; третій вхід першого елемента АБО з'єднано з прямим виходом третього JK-тригера; вихід переповнювання першого лічильника з'єднано з першим входом третього елемента АБО і першим входом елемента I-HI, другий вхід якого з'єднано з інверсним виходом другого JK-тригера і другим входом першого елемента I; другий вхід третього елемента АБО з'єднано з прямим виходом другого JK-тригера, який утворює вихід формувача; вихід елемента I-HI з'єднано зі входом дозволу режиму лічби першого лічильника; входи паралельного завантаження даних першого лічильника утворюють входи програмування формувача на задану кількість імпульсів в пачки; входи паралельного завантаження даних другого лічильника утворюють входи програмування формувача на задану тривалість паузи між пачками імпульсів; тактової входи JK-тригерів з'єднано зі входом формувача; входи асинхронної установки у нульовий JK-тригерів з'єднано з виходом другого елемента I.

Заявлений формувач має новий склад елементів і нову організацію взаємозв'язків між ними, тобто містить нову сукупність ознак, які забезпечують нові технічні властивості, технічний результат, як наслідок цих властивостей, розширення області використання і функціональних можливостей формувача.

На фіг. 1 наведена схема формувача.

Формувач містить: перший (1) і другий (2) реверсивні двійкові лічильники, кожен з яких має вхід налагодження на режим підсумовування/віднімання U, вхід подачі тактових імпульсів C, вхід дозволу паралельного завантаження L і входи подачі даних  $D_0$ - $D_3$ , вхід  $P_0$  дозволу/заборони режиму лічби, вхід асинхронної установки у нульовий стан R, вихід переповнювання  $P_4$ ; синхронний D-тригер (7) зі входами асинхронної установки у нульовий стан; інвертор (13); перший (10), другий (11) і третій (15) елементи АБО; - перший (8) і другий (9) елементи I; ланцюжок з послідовно сполучених резистора (5) і конденсатора (6), підключеного до джерела живлення +E; двовходовий елемент I-HI (14); перший (3), другий (4) і третій (12) JK-тригери зі входом асинхронної установки у нульовий стан. Перший і другий JK-тригери створюють циклічний пристрій (третій лічильник), який має три стани з послідовністю переходів 00-11-10-00, при цьому перший тригер має прямий вхід K і два прямих входи J, об'єднаних по I, другий тригер має прямий вхід J і два прямих входи K, об'єднаних по I; входи J і K третього тригера інверсні; інверсний вихід першого JK-тригера з'єднано з одним входом K другого JK-тригера, інверсний вихід другого JK-тригера з'єднано з одним входом J першого JK-тригера, вхід K і другий вхід J першого JK-тригера з'єднано зі входом J і другим входом K другого JK-тригера, створюючи вхід дозволу режиму переходу (лічби), який з'єднано з виходом елемента АБО 11, один вхід якого з'єднано з виходом елемента 15, а другий з виходом інвертора. Один вхід елемента 15 з'єднано з виходом переповнення лічильника 1 і першим входом елемента I-HI 14, другий вхід якого з'єднано з інверсним виходом другого JK-тригера 4 і другим входом елемента I 8. Другий вхід елемента 15 з'єднано з виходом другого JK-тригера, який утворює вихід формувача F. Вихід елемента I-HI 14 з'єднано зі входом дозволу режиму лічби лічильника 1.

Другий вхід елемента АБО 11 з'єднано з виходом інвертора 13, вхід якого з'єднано з виходом переповнювання лічильника 2, входом дозволу синхронного паралельного завантаження лічильників 1, 2, входами J і K тригера 12 і другим входом елемента АБО 8. Третій вхід елемента АБО 10 з'єднано з прямим виходом JK-тригера 12.

Загальна точка послідовно сполучених резистора 5 і конденсатора 6 з'єднана з інформаційним входом D-тригера 7, з одним входом елементів 8, 9. Вихід елемента 8 з'єднано зі входом асинхронної установки D-тригера 7 у нульовий стан. Другий вхід елемента 9 з'єднано з виходом елемента 10. Вихід елемента 9 з'єднано зі входами R асинхронної установки у нульовий стан JK-тригерів і лічильників. Входи паралельного завантаження даних  $D_3$ - $D_0$  лічильника 1 утворюють входи  $b_3b_2b_1b_0$  програмування формувача на задану кількість імпульсів в пачки; входи паралельного завантаження даних  $D_3$ - $D_0$  лічильника утворюють входи  $d_3d_2d_1d_0$  програмування формувача на задану тривалість паузи між пачками імпульсів. Тактової входи JK-тригерів і лічильників сполучені між собою, створюючи вхід C формувача - вхід подачі безперервної періодичної послідовності імпульсів з виходу зовнішнього генератора. Тактовий вхід C тригера 7 утворює вхід подачі імпульсів запуску (Start) формування вихідних імпульсів.

Працює формувач в наступній послідовності.

Наявність ланцюжка, що складається із поєднаних послідовно резистора 5 і конденсатора 6, підключеного до шини живлячої напруги +E, при включенні джерела живлення протягом деякого проміжку часу формує рівень логічного нуля на вході R асинхронної установки у нульовий стан тригера 7 і входах елементів 8 та 9, забезпечуючи формування рівня логічного нуля на входах R асинхронної установки у нульовий стан тригерів і лічильників.

Після закінчення перехідного процесу, пов'язаного з включенням джерела живлення, тригери і лічильники переходять у нульовий стан, формуючи рівень логічного нуля відповідно на виходах Q тригерів і на виходах переповнювання  $P_4$  лічильників, що веде до формування рівня 0 на виході елемента 10, з'єднаного зі входом елемента I 9, що забезпечує підтвердження (блокування) рівня 0 на його виході і по закінченню перехідного процесу, пов'язаного із зарядом конденсатора 6, що забезпечує рівень 0 на входах асинхронної установки у нульовий стан тригерів і лічильників. Оскільки режим асинхронної установки у нульовий стан має пріоритет по відношенню до всіх останніх режимів, то до тих пір, доки на вході елемента 9 (а отже і на його виході) зберігатиметься рівень логічного нуля, нульовий стан тригерів і лічильників залишатиметься незмінним.

Під час вступу імпульсу запуску (Start) на тактовий вхід C тригера 7 по його фронту тригер переходить в одиничний стан ( $Q=1$ ), формуючи рівень логічної одиниці на вході і виході елемента 10, а отже на вході і виході елемента 9, що забезпечує рівень логічної одиниці на входах R тригерів і лічильників, знімаючи блокування нульового стану.

Нульове значення сигналу з виходу переповнювання лічильника 2 надходить на входи дозволу паралельного завантаження L лічильників, на вхід інвертора 13, на інверсні входи J і K тригера 12 і на вхід елемента 10.

Значення сигналу з виходу переповнювання лічильника 2, яке надходить на входи дозволу паралельного завантаження L лічильників, готує лічильник 1 до прийому інформації зі входів  $b_3b_2b_1b_0$ , лічильник 2 - зі входів  $b_3b_2b_1b_0$ . Одиничне значення сигналу з виходу інвертора надходить на вхід елемента 11 і далі на входи дозволу режиму переходу циклічного пристрою (третього лічильника), готує його до переходу у стан 11 ( $Q_1=Q_2=1$ ). Значення сигналу з виходу переповнювання лічильника 2, яке надходить на входи J і K тригера 12, готує його до переходу в одиничний стан.

І тоді під час вступу першого (після закінчення перехідного процесу, пов'язаного із зняттям блокування) тактового імпульсу C відбувається перехід JK-тригера 12 в одиничний стан, третього лічильника у стан 11 ( $Q_2=1$ ,  $Q_1=1$ ), формуючи одиничне значення на виході формувача, і паралельне завантаження лічильників 1, 2 значеннями сигналів, що подаються на відповідні входи  $D_0-D_3$ , тобто лічильник 2 переходить у стан  $d_3d_2d_1d_0$ , лічильник 1-у стан  $b_3b_2b_1b_0$ , формуючи одиничне значення на виходах переповнення. Тригер 7 переходить у нульовий стан. У результаті лічильники 1, 2 і JK-тригер 12 переходять у режим збереження, режим лічби третього лічильника залишиться незмінним. Під час вступу наступного тактового імпульсу третій лічильник переходить в стан  $Q_2=1$ ,  $Q_1=0$ , при цьому, режим збереження лічильників 1, 2, JK-тригера 12, режим лічби третього лічильника і одиничне значення на виході формувача залишаються незмінними. Під час вступу наступного тактового імпульсу відбувається перехід третього лічильника у вихідної (нульовий) стан, що веде к формуванню нульового значення на

прямому виході ( $Q_2$ ) тригера 3 і одиничного значення на його інверсному виході ( $\bar{Q}_2$ ). У результаті на виході елемента I-II 14, тобто на вході дозволу режиму лічби лічильника 1 формується нульове значення, що веде к переходу лічильника 1 у режим лічби. Режим збереження лічильника 2, JK-тригера 12 і режим лічби третього лічильника залишаються незмінними. Під час вступу наступного тактового імпульсу відбувається перехід лічильника 1 у стан  $b_3b_2b_1b_0-1$ , третього лічильника у стан 11, стан лічильника 2 і JK-тригера 12 залишається незмінним. Під час вступу подальших тактових імпульсів процеси аналогічні, до тих пор, поки зміст першого і третього лічильників не стане рівним 0, що забезпечує рівень логічного 0 на виході переповнення лічильника 1 (на вході дозволу режиму лічби лічильника 2), виході тригера 3 і виході елемента 11, рівень логічної одиниці на виході елемента 14. У результаті цих змін лічильник 2 переходить у режим лічби, третій лічильник і лічильник 1 у режим збереження. Під час вступу наступного і подальших тактових імпульсів зміст лічильника 2 буде зменшуватись, а одиничний стан JK-тригера 12 і нульовий стан третього лічильника і лічильника 1 залишатися незмінним, до тих пор, поки зміст лічильника 2 не стане рівним 0, що забезпечує рівень логічного 0 на виході переповнення лічильника 2, яке надходить на входи дозволу паралельного завантаження L лічильників, знову готує лічильник 1 до прийому інформації зі входів  $b_3b_2b_1b_0$ , лічильник 2 - зі входів  $d_3d_2d_1d_0$ . Одиничне значення сигналу з виходу інвертора надходить на вхід елемента 11 і далі на входи дозволу режиму переходу циклічного пристрою (третього лічильника), знову готує його до переходу у стан 11 ( $Q_1=Q_2=1$ ). Значення сигналу з

виходу переповнювання лічильника 2, яке надходить на входи J і K тригера 12, готує його до переходу у нульовий стан. І тоді під час вступу чергового тактового імпульсу С відбувається перехід JK-тригера 12 у нульовий стан, третього лічильника у стан 11 ( $Q_2=1$ ,  $Q_1=1$ ), знову формуючи одиничне значення на виході формувача, і паралельне завантаження лічильників 1, 2 значеннями сигналів, що подаються на відповідні входи  $D_0$ - $D_3$ , тобто лічильник 2 переходить у стан  $d_3d_2d_1d_0$ , лічильник 1 - у стан  $b_3b_2b_1b_0$ , формуючи одиничне значення на виходах переповнення.

Під час вступу подальших тактових імпульсів процеси аналогічні, до тих пор, поки зміст третього лічильника і лічильників 1, 2 не стане рівним 0, що забезпечує рівень логічного 0 на їх виходах, що веде к формуванню рівня логічного нуля на виході елемента АБО 10, обумовлюючи рівень 0 на вході та виході елемента І 9, що приведе до блокування нульового стану тригерів і лічильників, а отже, до припинення процесу генерації. Зі вступом наступного імпульсу запуску усі процеси повторюються.

Таким чином, після закінчення перехідного процесу, пов'язаного із зняттям блокування, під час вступу на вхід С формувача періодичної послідовності імпульсів з періодом Т на виході формувача (на прямому виході JK-тригера 3) генерується одиночна серія з двох пачок імпульсів з фіксованою тривалістю імпульсів, яка дорівнює  $2T$  і паузи, яка дорівнює  $T$ , між ними в пачці, програмованою кількістю  $K$  імпульсів в пачці, яка визначається значенням  $b_3b_2b_1b_0$  ( $K=b_3b_2b_1b_0+1$ ) і програмованою тривалістю паузи  $t_n$  між пачками, яка визначається значенням  $d_3d_2d_1d_0$  ( $t_n=(d_3d_2d_1d_0+1)T$ ).

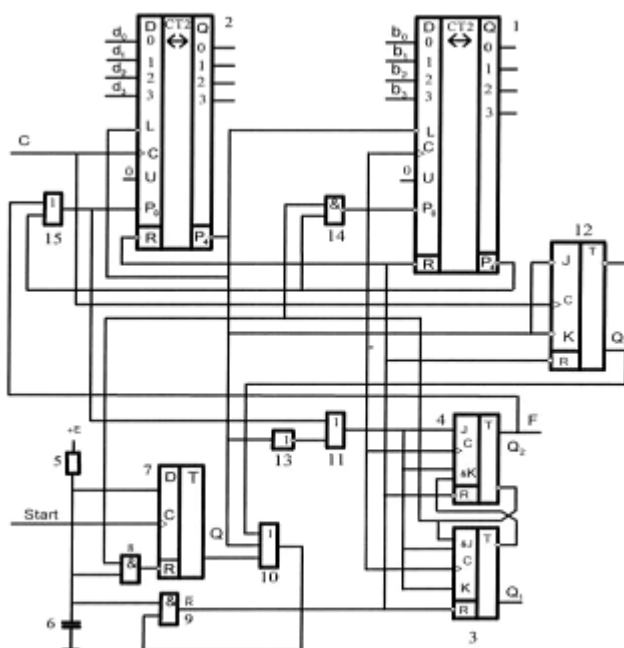
На фіг. 2 приведений граф переходів формувача, що складається з чотирьох кілець (верхнє кільце - граф переходів тригера 12, друге кільце - граф переходів лічильника 2, третє кільце - граф переходів лічильника 1, нижнє кільце - граф переходів третього лічильника) із загальною вершиною, відповідною нульовому стану лічильників і тригерів, а на фіг. 3 - епюри, що ілюструють роботу для варіанту налагодження  $D=5$ ,  $B=3$ .

На відміну від відомого пристрою формування одиночної серії з двох пачок імпульсів з фіксованою тривалістю імпульсів і паузи між ними в пачці, програмованою кількістю імпульсів в пачці і паузи між пачками розширює функціональні можливості формувача.

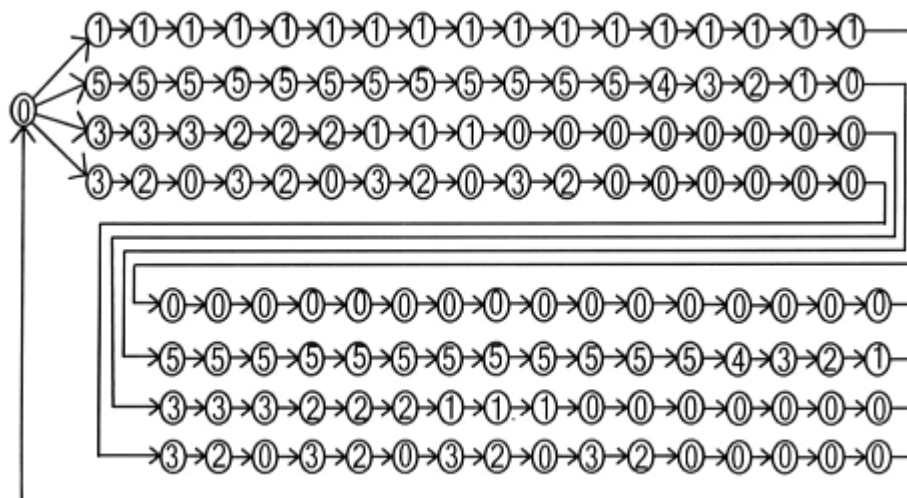
#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Формувач одиночної серії з двох пачок імпульсів, який містить: два реверсивні двійкові лічильники, кожен з яких має вхід подачі імпульсів синхронізації, вхід налагодження на режим підсумовування/віднімання, вхід дозволу режиму рахування, вхід дозволу синхронного паралельного завантаження і входи подачі даних, вхід асинхронної установки у нульовий стан, вихід переповнювання; інвертор; перший і другий елементи АБО; ланцюжок, що складається з послідовно поєднаних резистора і конденсатора; синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий двовходові елементи І, при цьому спільна точка послідовно сполучених резистора і конденсатора поєднана з інформаційним входом D-тригера, з одним входом першого та другого двовходового елемента І; вихід першого двовходового елемента І з'єднано зі входом асинхронної установки D-тригера у нульовий стан; другий вхід другого елемента І з'єднано з виходом першого елемента АБО, один зі входів якого з'єднано з виходом D-тригера; вихід переповнювання другого лічильника з'єднано з його входом дозволу режиму завантаження; входи паралельного завантаження даних лічильників утворюють входи програмування формувача на задані часові параметри імпульсів на виході формувача; вихід другого елемента І з'єднано зі входами асинхронної установки лічильників у нульовий стан; тактові входи першого та другого лічильників сполучені між собою, створюючи вхід формувача - вхід подачі безперервної періодичної послідовності імпульсів з виходу зовнішнього генератора; тактовий вхід D-тригера створює вхід подачі імпульсів запуску, який **відрізняється** тим, що введено: третій елемент АБО, двовходовий елемент І-НІ; перший, другий і третій JK-тригери зі входом асинхронної установки у нульовий стан; перший і другий JK-тригери створюють циклічний пристрій (третій лічильник), який має три стани з послідовністю переходів 00-11-10-00, при цьому, перший тригер має прямий вхід К і два прямих входи J, об'єднаних по І, другий тригер має прямий вхід J і два прямих входи К, об'єднаних по І; входи J і К третього тригера інверсні; інверсний вихід першого JK-тригера з'єднано з одним входом К другого JK-тригера, інверсний вихід другого JK-тригера з'єднано з одним входом J першого JK-тригера, вхід К і другий вхід J першого JK-тригера з'єднано зі входом J і другим входом К другого JK-тригера, створюючи вхід дозволу режиму переходу (лічби), який з'єднано з виходом другого елемента АБО, один вхід якого з'єднано з виходом третього елемента АБО, а другий - з виходом інвертора, вхід якого з'єднано з виходом переповнювання другого лічильника, входом дозволу

синхронного паралельного завантаження першого и другого лічильників, входами J і K третього JK-тригера і другим входом першого елемента АБО; третій вхід першого елемента АБО з'єднано з прямим виходом третього JK-тригера; вихід переповнювання першого лічильника з'єднано з першим входом третього елемента АБО і першим входом елемента І-НІ, другий вхід якого з'єднано з інверсним виходом другого JK-тригера і другим входом першого елемента І; другий вхід третього елемента АБО з'єднано з прямим виходом другого JK-тригера, який утворює вихід формувача; вихід елемента І-НІ з'єднано зі входом дозволу режиму лічби першого лічильника; входи паралельного завантаження даних першого лічильника утворюють входи програмування формувача на задану кількість імпульсів в пачки; входи паралельного завантаження даних другого лічильника утворюють входи програмування формувача на задану тривалість паузи між пачками імпульсів; тактової входи JK-тригерів з'єднано зі входом формувача; входи асинхронної установки у нульовий JK-тригера з'єднано з виходом другого елемента І.



Фиг. 1



Фиг. 2

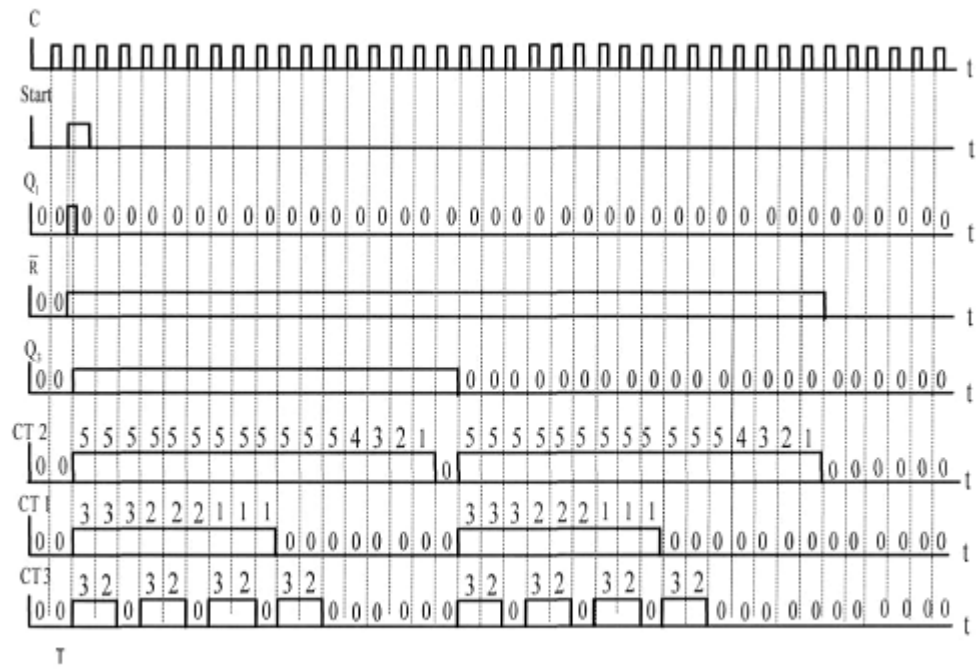


Fig. 3