



ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИ

УКРАЇНА

(19) **UA**

(11) **114565**

(13) **U**

(51) МПК

**H03K 3/78** (2006.01)

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2016 09843**

(22) Дата подання заявки: **26.09.2016**

(24) Дата, з якої є чинними  
права на корисну  
модель: **10.03.2017**

(46) Публікація відомостей  
про видачу патенту: **10.03.2017, Бюл.№ 5**

(72) Винахідник(и):

**Коробков Микола Григорович (UA),  
Коробкова Олена Миколаївна (UA),  
Рубанов Васілій Грігор'євич (RU),  
Харченко Вячеслав Сергійович (UA)**

(73) Власник(и):

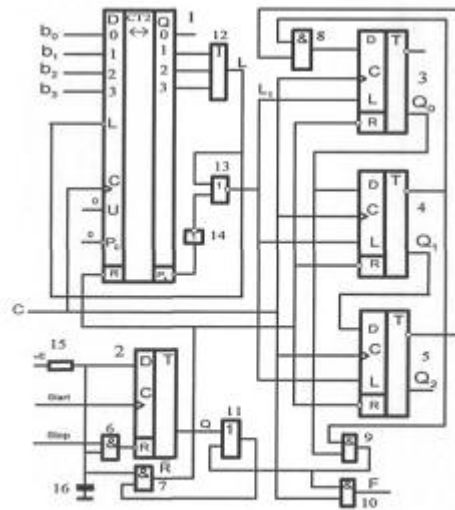
**НАЦІОНАЛЬНИЙ АЕРОКОСМІЧНИЙ  
УНІВЕРСИТЕТ ІМ. М.Є. ЖУКОВСЬКОГО  
"ХАРКІВСЬКИЙ АВІАЦІЙНИЙ ІНСТИТУТ",  
вул. Чкалова, 17, м. Харків, 61070 (UA)**

## (54) ФОРМУВАЧ ПОСЛІДОВНОСТІ ПАЧОК З ПРОГРАМОВАНИМ ПЕРІОДОМ, КІЛЬКІСТЮ ТАКТОВИХ ІМПУЛЬСІВ В ПАЧЦІ І ЗАТРИМКОЮ ПОЧАТКУ ФОРМУВАННЯ

### (57) Реферат:

Формувач послідовності пачок з програмованим періодом, кількістю тактових імпульсів в пачці і затримкою початку формування містить синхронний D-тригер зі входом асинхронної установки у нульовий стан, реверсивний двійковий лічильник, інвертор, перший і другий елементи АБО, перший і другий двовходові елементи І, ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, загальна точка послідовно сполучених резистора і конденсатора з'єднана з інформаційним входом D-тригера, зі входами першого і другого елементів І, другий вхід першого елементи І утворює вхід подачі імпульсів зупинки формування вихідних імпульсів, вихід першого елементи І з'єднано зі входом асинхронної установки D-тригера у нульовий стан. Тактовий вхід D-тригера утворює вхід подачі імпульсів запуску. Додатково формувач містить третій, четвертий і п'ятий елементи І, елемент АБО-НІ, перший, другий і третій синхронні DL-тригери зі входом асинхронної установки у нульовий стан, які утворюють циклічний пристрій (другий лічильник) з послідовністю переходів 000-001-011-110-100-000-(0-1-3-6-4-0). Прямий вихід першого DL-тригера з'єднано зі входом D другого DL-тригера і першим входом четвертого елементи І, другий вхід якого з'єднано з інверсним виходом другого DL-тригера.

**UA 114565 U**



Фиг. 1

Корисна модель належить до імпульсної техніки і призначена для формування послідовності пачок з програмованим періодом, кількістю тактових імпульсів в пачці і затримкою початку формування.

Відомі формувачі, що містять кварцовий задавальний генератор, який працює в безперервному режимі, пристрій синхронізації і вихідний пристрій, що забезпечує формування необхідних імпульсів, часові параметри яких визначаються часовими параметрами імпульсів, що подаються на вхід (Тактовий генератор. Авторське свідоцтво СРСР № 307502. - Бюлетень винаходів. №20, 1971; Тактовий генератор. Авторське свідоцтво СРСР № 354544. - Бюлетень винаходів. №30, 1972).

Недолік відомих пристроїв - обмежені функціональні можливості, обумовлені налагоджуванням на фіксований режим часових параметрів вихідних імпульсів.

Відомі формувачі періодичної послідовності імпульсів з програмованою тривалістю фіксованою шпаруватістю (патенти України на корисну модель 61886, 62517, 62520, 62517, 62522, 62525). Недоліком цих пристроїв є складність структури, технології їх виготовлення і, як наслідок, висока потужність, висока вартість, які обумовлені необхідністю використання двох реверсивних двійкових лічильників, а також двійкового суматора.

Найбільш близьким за технічною суттю і результатом, що досягається, є формувач послідовності пачок з програмованим періодом, кількістю тактових імпульсів в пачці і затримкою початку формування (патент України на корисну модель 62519), що містить: синхронний D-тригер зі входом асинхронної установки у нульовий стан; реверсивний двійковий лічильник, налагоджений на режим віднімання, що має вхід подачі імпульсів синхронізації, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання, вхід дозволу режиму синхронного паралельного завантаження і входи завантаження; інвертор; перший і другий елементи АБО; перший і другий двовходові елементи І; ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, при цьому, вихід переповнювання першого лічильника, з'єднано зі входом інвертора; загальна точка послідовно сполучених резистора і конденсатора з'єднана з інформаційним входом D-тригера, зі входами першого і другого елементів І; другий вхід першого елемента І утворює вхід подачі імпульсів зупинки формування вихідних імпульсів; вихід першого елемента І з'єднано зі входом асинхронної установки D-тригера у нульовий стан; вихід D-тригера з'єднано з першим входом першого елемента АБО, вихід якого з'єднано з другим входом другого елемента І; вихід другого елемента І з'єднано зі входом асинхронної установки лічильника у нульовий стан; тактовий вхід лічильника утворює вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього генератора; тактовий вхід D-тригера утворює вхід подачі імпульсів запуску.

Недолік відомого пристрою складність структури, технології його виготовлення і, як наслідок, висока споживана потужність, висока вартість, які обумовлені необхідністю використання двох реверсивних двійкових лічильників, а також двійкового суматора.

В основу корисної моделі поставлена задача удосконалення формувача періодичної послідовності пачок з програмованою кількістю тактових імпульсів в пачці і затримкою початку формування.

Поставлена задача вирішується тим, що в формувач послідовності пачок з програмованим періодом, кількістю тактових імпульсів в пачці і затримкою початку формування, що містить: синхронний D-тригер зі входом асинхронної установки у нульовий стан; реверсивний двійковий лічильник, налагоджений на режим віднімання, що має вхід подачі імпульсів синхронізації, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання, вхід дозволу режиму синхронного паралельного завантаження і входи завантаження; інвертор; перший і другий елементи АБО; перший і другий двовходові елементи І; ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, при цьому, вихід переповнювання першого лічильника, з'єднано зі входом інвертора; загальна точка послідовно сполучених резистора і конденсатора з'єднана з інформаційним входом D-тригера, зі входами першого і другого елементів І; другий вхід першого елемента І утворює вхід подачі імпульсів зупинки формування вихідних імпульсів; вихід першого елемента І з'єднано зі входом асинхронної установки D-тригера у нульовий стан; вихід D-тригера з'єднано з першим входом першого елемента АБО, вихід якого з'єднано з другим входом другого елемента І; вихід другого елемента І з'єднано зі входом асинхронної установки лічильника, у нульовий стан; тактовий вхід лічильника утворює вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього генератора; тактовий вхід D-тригера утворює вхід подачі імпульсів запуску, згідно корисної моделі додатково введено: третій, четвертий і п'ятий елементи І; елемент АБО-НІ; перший, другий і третій синхронні DL-тригери зі входом асинхронної установки у нульовий стан, які утворюють циклічний пристрій (другий лічильник) з послідовністю переходів 000-001-011-

110-100-000 - (0-1-3-6-4-0), при цьому, прямий вихід першого DL-тригера з'єднано зі входом D другого DL-тригера і першим входом четвертого елемента I, другий вхід якого з'єднано з інверсним виходом другого DL-тригера; прямий вихід другого DL-тригера з'єднано зі входом D третього DL-тригера; інверсні виходи другого і третього DL-тригерів з'єднано зі входами  
 5 третього елемента I, вихід якого з'єднано зі входом D першого DL-тригера; вихід четвертого елемента I з'єднано з другим входом першого елемента АБО і першим входом п'ятого елемента I, другий вхід якого з'єднано зі входом формувача і тактовими входами DL-тригерів; вихід п'ятого елемента I утворює вихід формувача; вихід інвертора з'єднано з першим входом елемента АБО-НІ, вихід якого з'єднано зі входами L DL-тригерів; виходи другого, третього і  
 10 четвертого розрядів першого лічильника з'єднано зі входами другого елемента АБО, вихід якого з'єднано зі входом дозволу режиму синхронного паралельного завантаження першого лічильника і з другим входом елемента АБО-НІ.

Заявлений формувач має новий склад елементів і нову організацію взаємозв'язків між ними, тобто містить нову сукупність ознак, які забезпечують нові технічні властивості. Технічний  
 15 результат, як наслідок цих властивостей - спрощення структури формувача, технології його виготовлення і, як наслідок, зменшення споживаної потужності і зниження вартості.

На фіг. 1 приведена принципова схема формувача.

Формувач містить: перший реверсивний двійковий лічильник (1), який має вхід подачі імпульсів синхронізації С, вхід налагодження на режим підсумовування/віднімання U, вхід  
 20 дозволу синхронного паралельного завантаження L і входи подачі даних  $D_0$ - $D_3$ , вхід дозволу режиму рахування  $P_0$ , вхід асинхронної установки у нульовий стан R, вихід переповнювання  $P_4$ ; синхронний D-тригер (2) зі входом асинхронної установки у нульовий стан; перший (3), другий (4) і третій (5) синхронні DL-тригери зі входом асинхронної установки у нульовий стан, які утворюють циклічний пристрій (другий лічильник) з послідовністю переходів 000-001-011-110-  
 25 100-000 - (0-1-3-6-4-0); перший (6), другий (7), третій (8), четвертий (9) і п'ятий (10) елементи I; перший (11) і другий (12) елементи АБО; елемент АБО-НІ (13); інвертор (14) ланцюжок, що складається з послідовно з'єднаних резистора (15) і конденсатора (16).

Прямий вихід тригера 3 з'єднано зі входом D тригера 4 і першим входом елемента 9, вихід якого з'єднано зі входами елементів 10, 11. Другий вхід елемента 9 з'єднано з інверсним  
 30 виходом тригера 4 і входом елемента 8, вихід якого з'єднано зі входом D тригера 3. Другий вхід елемента 8 з'єднано з інверсним виходом тригера 5. Вихід інвертора 14 з'єднано з першим входом елемента 13, вихід якого з'єднано зі входами L тригерів 3, 4, 5, Виходи другого ( $Q_1$ ), третього ( $Q_2$ ) і четвертого ( $Q_3$ ) розрядів лічильника 1 з'єднано зі входами елемента 12, вихід якого з'єднано з другим входом елемента 13 і входом L лічильника 1.

Загальна точка послідовно сполучених резистора 15 і конденсатора 16 з'єднана зі входом D тригера 2, входом елемента 6 і входом елемента 7, вихід якого з'єднано зі входами асинхронної  
 35 установки у нульовий стан першого і другого (DL-тригерів) лічильників. Другий вхід елемента 6 утворює вхід зупинки (Stop) формування вихідних імпульсів. Вихід елемента 6 з'єднано зі входом асинхронної установки тригера 2 у нульовий стан.

Входи  $D_3D_2D_1D_0$  паралельного завантаження лічильника 1 утворюють входи  $b_3b_2b_1b_0$  програмування формувача на задані параметри імпульсів на виході формувача. Тактові входи С лічильника 1 і DL-тригерів сполучені між собою, утворюючи вхід формувача - вхід подачі  
 40 періодичної послідовності імпульсів С з виходу зовнішнього генератора. Тактовий вхід С тригера 2 утворює вхід запуску (Start) формування вихідних імпульсів.

Працює формувач в наступній послідовності.

Наявність ланцюжка, що складається із поєднаних послідовно резистора 15 і конденсатора 16, підключеного до шини живлячої напруги +E, при включенні джерела живлення протягом  
 45 деякого проміжку часу формує рівень логічного нуля на входах елементів 6 та 7, забезпечуючи формування рівня логічного нуля на їхніх виходах, приєднаних до входів R асинхронної установки в нульовий стан лічильника 1 і тригерів 2, 3, 4, 5. Після закінчення перехідного процесу, пов'язаного з включенням джерела живлення тригери і лічильник 1 переходять у нульовий стан, формуючи рівень логічного нуля на прямих виходах і на виході переповнювання  
 50  $P_4$  лічильника 1, на прямих виходах DL тригерів, на виході елемента 12, на вході дозволу синхронного завантаження лічильника 1, одиничне значення на виході інвертора, нульове значення на виході елемента 13 і на виходах елементів 9, 10 (на виході формувача), що веде до формування рівня логічного нуля на виході елемента 11, який з'єднаний зі входом елемента 7, що забезпечує підтвердження рівня логічного нуля на його виході і по закінченню перехідного процесу, пов'язаного із зарядом конденсатора 16, що забезпечує рівень логічного нуля на  
 55 входах R асинхронної установки у нульовий стан лічильника 1 і DL тригерів. Оскільки режим асинхронної установки у нульовий стан має пріоритет по відношенню до всіх останніх режимів,  
 60

то до тих пір поки на вході елемента 7 (а отже і на його виході) зберігатиметься рівень нуля, нульовий стан лічильника і DL тригерів і нульове значення на виході формувача залишатиметься незмінним.

Під час вступу імпульсу запуску (Start) на вхід С тригера 2 по його фронту тригер переходить в одиничний стан ( $Q=1$ ), формуючи рівень логічної одиниці на виході елемента 11, а отже на вході та виході елемента 7, що забезпечує рівень логічної одиниці на входах R лічильника і DL-тригерів, знімаючи блокування, у результаті чого лічильник 1 переходить у режим готовності до прийому інформації зі входів  $D_0$ - $D_3$ .

І тоді під час вступу першого (після закінчення перехідного процесу, пов'язаного із зняттям блокування) тактового імпульсу С по його фронту відбувається паралельне завантаження лічильника 1 значеннями сигналів  $b_3b_2b_1b_0$ , які подаються на відповідні входи  $D_3$ - $D_0$ , що веде до формування одиничного значення на виході переповнення лічильника 1, на виході елемента 12, що веде до заборони режиму завантаження і дозволу режиму лічби (віднімання) лічильника 1. Оскільки нульове значення на виході елемента 13 залишилось незмінним, то нульовий стан DL-тригерів також не змінився.

Під час вступу наступного і подальших тактових імпульсів зміст лічильника 1 зменшуватиметься, а нульовий стан DL-тригерів залишиться незмінним, тобто залишиться незмінним нульове значення на прямих виходах DL-тригерів і на виході формувача до тих пір, поки зміст лічильника 1 не стане рівним 0001. У результаті цього переходу на виході елемента 12 і на вході L лічильника 1 формується рівень логічного нуля, а на виході елемента 13 формується рівень логічної одиниці, що веде до переходу лічильника 1 в режим завантаження, а другого лічильника (DL-тригерів) - в режим переходу у наступний стан, і тоді під час вступу наступного тактового імпульсу по його фронту знову відбувається паралельне завантаження лічильника 1 значеннями сигналів  $b_3b_2b_1b_0$ , які подаються на відповідні входи  $D_3$ - $D_0$ , а перший DL-тригер переходить в одиничний стан, що веде до формування одиничного значення на виході елемента 12 (на вході L лічильника 1) і на виході елемента 9.

Формування логічної одиниці, на виході елемента 9, з'єднаного зі входом елемента 10 дозволяє проходженню тактових імпульсів зі входу формувача на його вихід, пока другий лічильник не перейде у наступний стан, що знову веде до заборони режиму завантаження, дозволу режиму лічби (віднімання) лічильника 1 і заборони переходу DL-тригерів.

Під час вступу подальших тактових імпульсів процеси аналогічні (проілюстровано на графах переходів - фіг. 2 і на часових діаграмах - фіг. 3).

Таким чином, після закінчення перехідного процесу, пов'язаного із зняттям блокування, під час вступу на вхід С формувача періодичної послідовності тактових імпульсів з періодом Т на виході формувача генерується періодична послідовність пачок тактових імпульсів з програмованим періодом ( $T_n$ ), кількістю імпульсів в пачці (N), які визначаються значенням управляючого слова В ( $T_n=5BT$ ,  $N=B$ ) і затримкою ( $t_s$ ) початку формування відносно стартового імпульсу, значення якої також залежить від значення управляючого слова В і моменту вступу запускаючого імпульсу Start ( $BT < t_s < (B+1)T$ ).

Зупинка процесу формування послідовності імпульсів на виході формувача здійснюється подачею імпульсу, відповідного рівню логічного нуля, на вхід зупинки (Stop), який формує нульовий рівень сигналу на вході R асинхронної установки D-тригера 2, що призводить до переходу його у нульовий стан ( $Q=0$ ).

Імпульс Stop, як правило, асинхронний по відношенню до імпульсів зовнішнього генератора і до стану лічильників.

Якщо у момент вступу першого тактового імпульсу після подачі імпульсу Stop другий лічильник (DL-тригери) знаходитиметься у стані, відмінному від 001, то при переході тригера 2 у нульовий стан на входах елемента 11 і його виході буде сформований рівень логічного 0, обумовлюючи рівень логічного нуля на вході та виході елемента 7 (на входах установки у нульовий стан лічильника 1 і DL-тригерів), що призведе до припинення процесу генерації.

Якщо у момент вступу другий лічильник знаходитиметься у стані 001, яке характеризується рівнем логічної одиниці на виході елемента 9 з'єднаного зі входами елементів 10 (що дозволяє проходженню тактових імпульсів зі входу формувача на його вихід) і 11, обумовлюючи рівень логічної одиниці на вході елемента 7. Оскільки на другому вході цього елемента також рівень логічної одиниці, визначуваний напругою на конденсаторі 16, який зарядився при включенні джерела живлення, то на виході елемента 7, а отже, і на входах R лічильника 1 і DL-тригерів буде рівень логічної одиниці. Звідси витікає, що у момент вступу імпульсу припинення генерації не станеться, обумовлюючи тим самим запобігання спотворенню останнього імпульсу у вихідній послідовності. І тільки зі вступом подальших імпульсів, коли відбуватиметься перехід другого лічильника у наступний стан, на виході елемента 9 буде сформований рівень логічного 0,

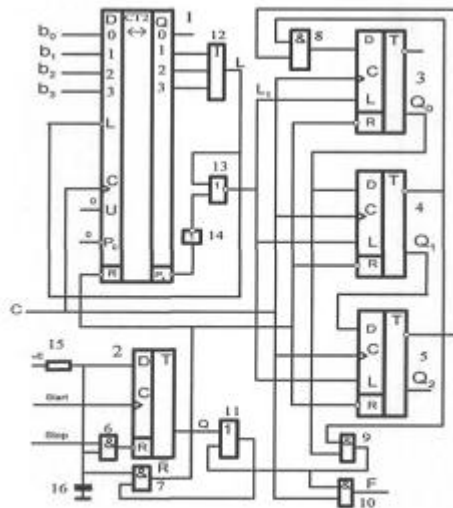
обумовлюючи рівень 0 на вході та виходах елементів 9, 10, що приведе до блокування нульового стану лічильника 1 і DL-тригерів, а отже, до припинення процесу генерації. Зі вступом наступного імпульсу запуску усі процеси повторюються.

На фіг. 2 приведений граф переходів формувача, що складається з трьох кілець (нижнє кілце - граф переходів лічильника 1, верхнє - граф переходів циклічного пристрою (другого лічильника), середнє кілце - значення сигналу на виході формувача) із загальною вершиною, відповідною нульовому стану лічильників, а на фіг. 3 - часові діаграми, що ілюструють роботу для варіанту програмування  $B=3$ , визначаючого параметри вихідної послідовності імпульсів - кількість імпульсів в пачці дорівнює 3, період  $T_n=15T$ , тривалість затримки початку формування відносно стартового імпульсу знаходиться у межах більше  $3T$  і менше  $4T$ .

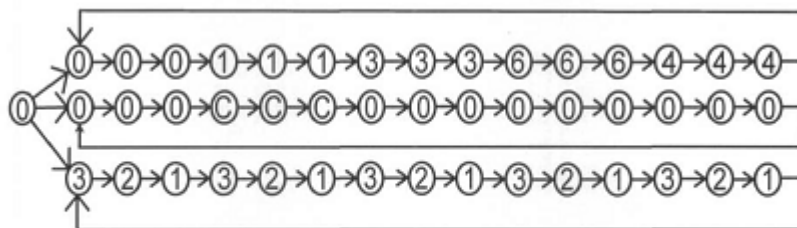
На відміну від відомого пристрою заявлений формувач має новий склад елементів і нову організацію взаємозв'язків між ними, тобто містить нову сукупність ознак, які забезпечують нові технічні властивості. Технічний результат, як наслідок цих властивостей - спрощення структури формувача, технології його виготовлення і, як наслідок, зменшення споживаної потужності і зниження вартості.

#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

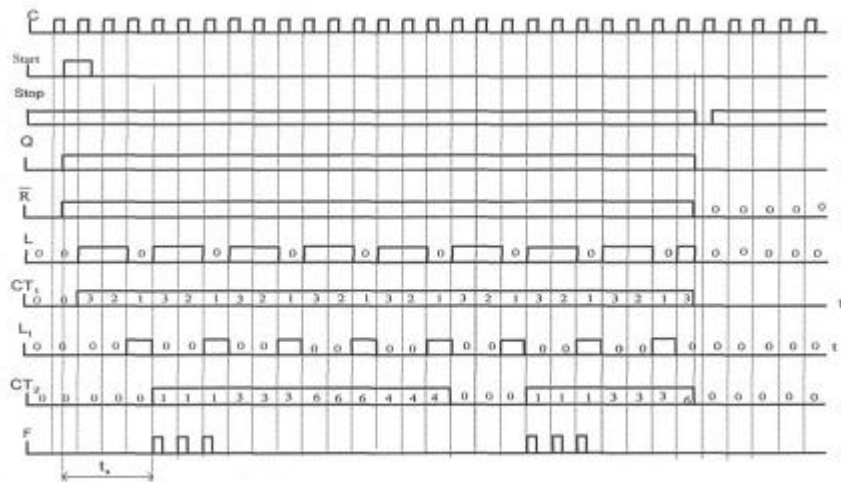
Формувач послідовності пачок з програмованим періодом, кількістю тактових імпульсів в пачці і затримкою початку формування, що містить: синхронний D-тригер зі входом асинхронної установки у нульовий стан; реверсивний двійковий лічильник, налагоджений на режим віднімання, що має вхід подачі імпульсів синхронізації, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання, вхід дозволу режиму синхронного паралельного завантаження і входи завантаження; інвертор; перший і другий елемента АБО; перший і другий двовходові елементи І; ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, при цьому вихід переповнювання першого лічильника, з'єднано зі входом інвертора; загальна точка послідовно сполучених резистора і конденсатора з'єднана з інформаційним входом D-тригера, зі входами першого і другого елементів І; другий вхід першого елемента І утворює вхід подачі імпульсів зупинки формування вихідних імпульсів; вихід першого елемента І з'єднано зі входом асинхронної установки D-тригера у нульовий стан; вихід D-тригера з'єднано з першим входом першого елемента АБО, вихід якого з'єднано з другим входом другого елемента І; вихід другого елемента І з'єднано зі входом асинхронної установки лічильника у нульовий стан; тактовий вхід лічильника утворює вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього генератора; тактовий вхід D-тригера утворює вхід подачі імпульсів запуску, який **відрізняється** тим, що додатково введено: третій, четвертий і п'ятий елементи І; елемент АБО-НІ; перший, другий і третій синхронні DL-тригери зі входом асинхронної установки у нульовий стан, які утворюють циклічний пристрій (другий лічильник) з послідовністю переходів 000-001-011-110-100-000-(0-1-3-6-4-0), при цьому, прямий вихід першого DL-тригера з'єднано зі входом D другого DL-тригера і першим входом четвертого елемента І, другий вхід якого з'єднано з інверсним виходом другого DL-тригера; прямий вихід другого DL-тригера з'єднано зі входом D третього DL-тригера; інверсні виходи другого і третього DL-тригерів з'єднано зі входами третього елемента І, вихід якого з'єднано зі входом D першого DL-тригера; вихід четвертого елемента І з'єднано з другим входом першого елемента АБО і першим входом п'ятого елемента І, другий вхід якого з'єднано зі входом формувача і тактовими входами DL-тригерів; вихід п'ятого елемента І утворює вихід формувача; вихід інвертора з'єднано з першим входом елемента АБО-НІ, вихід якого з'єднано зі входами L DL-тригерів; виходи другого, третього і четвертого розрядів першого лічильника з'єднано зі входами другого елемента АБО, вихід якого з'єднано зі входом дозволу режиму паралельного завантаження першого лічильника і з другим входом елемента АБО-НІ.



Фиг. 1



Фиг. 2



Фиг. 3

Комп'ютерна верстка Л. Бурлак

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601