



УКРАЇНА

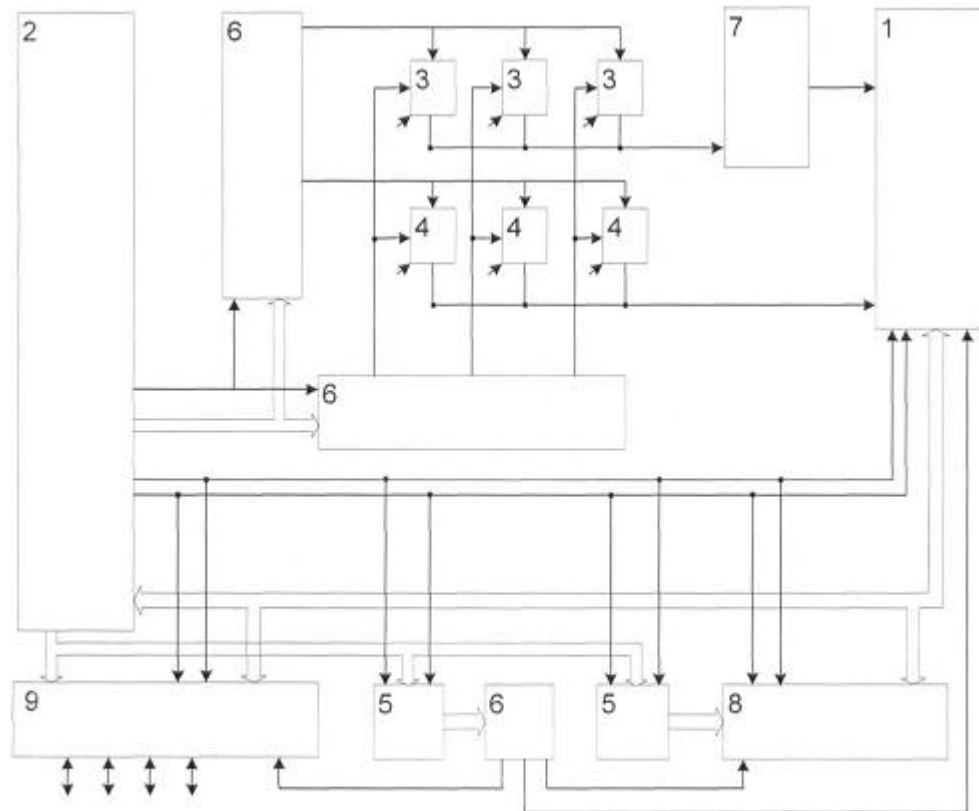
(19) **UA** (11) **108206** (13) **U**

(51) МПК (2016.01)

G01R 15/18 (2006.01)**G01R 15/14** (2006.01)**G06F 11/00**ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ**(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ****(21)** Номер заявки: **u 2015 12683****(22)** Дата подання заявки: **22.12.2015****(24)** Дата, з якої є чинними
права на корисну
модель: **11.07.2016****(46)** Публікація відомостей
про видачу патенту: **11.07.2016, Бюл.№ 13****(72)** Винахідник(и):**Стогній Борис Сергійович (UA),
Сопель Михайло Федорович (UA),
Максимчук Віталій Федорович (UA),
Пилипенко Юрій Володимирович (UA),
Панов Анатолій Володимирович (UA),
Тутик Андрій Володимирович (UA),
Стаксюк Олександр Іонович (UA)****(73)** Власник(и):**МАЛЕ ПРИВАТНЕ ПІДПРИЄМСТВО
"АНІГЕР",
вул. Гарматна, 2, м. Київ, 03680 (UA)****(54) МІКРОПРОЦЕСОРНА СИСТЕМА МОНІТОРИНГУ ПАРАМЕТРІВ ІЗОЛЯЦІЇ ВИСОКОВОЛЬТНИХ ВВОДІВ СИЛОВИХ ТРАНСФОРМАТОРІВ****(57)** Реферат:

Мікропроцесорна система моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів, що містить дешифратор, причому в неї введено цифровий реєстратор параметрів, мікропроцесор, ключі струму, ключі напруги, регістри, дешифратори, підсилювач струму, блок пам'яті і чотирипортовий модуль інтерфейсу, причому ключі струму і ключі напруги виконані у вигляді матриці ключів (2×3), перші управляючі входи ключів струму першої строчки матриці ключів об'єднані і підключені до першого виходу першого дешифратора, другий вихід якого підключений до перших управляючих входів ключів напруги другої строчки матриці ключів, другі управляючі входи кожного k^{ro} стовпця матриці ключів об'єднані і підключені до k^{ro} виходу ($k=1, 2, 3$) другого дешифратора, виходи ключів струму першої строчки матриці ключів об'єднані і підключені через підсилювач струму до першого входу цифрового реєстратора параметрів, другий вхід якого підключений до виходів ключів напруги другої строчки матриці ключів, вихід шини адреси першого порту мікропроцесора підключений f-старшими розрядами до входу адреси першого дешифратора, (n-f)-молодшими розрядами до входу адреси другого дешифратора, стробуючий вхід якого з'єднаний зі стробуючим входом першого дешифратора.

UA 108206 U



Фиг. 1

Корисна модель належить до області обчислювальної техніки, автоматики та вимірювальної техніки і може бути використана для безперервного моніторингу ізоляційних параметрів високовольтних вводів силових трансформаторів тягових підстанцій, визначення пошкоджень і реалізації, в автоматичному режимі, формування файлів аварійної інформації та передачі її на всі рівні управління.

Відомий пристрій [1] за своєю технічною суттю є інформаційно-вимірювальна система, яка включає аналого-цифровий перетворювач, регістри, лічильник, дешифратор, блок гальванічної розв'язки і електронно-обчислювальну машину інформаційний вхід якої підключений до інформаційного входу дешифратора, а вихід аналого-цифрового перетворювача з'єднаний з інформаційним входом першого та другого регістрів.

Недоліком даного пристрою є обмежені функціональні можливості, в зв'язку з тим, що в відомому пристрої не виконується, в реальному часі, багатокритеріальний моніторинг ізоляційних параметрів високовольтних вводів силових трансформаторів тягових підстанцій, зокрема, не проводяться ідентифікації аварійного режиму та не реалізується формування файлу аварійної інформації і передача її на верхні рівні керування електропостачанням.

Відомий пристрій [2] за своєю технічною суттю є мікропроцесорна система, яка включає блок частотних фільтрів, аналого-цифровий перетворювач, блоки гальванічної розв'язки і блок попереднього масштабування вхідних сигналів у вигляді струму і напруги, і мікропроцесорну систему керування вихідними реле і сигналізацією, причому групи виходів блоків гальванічної розв'язки і блока попереднього масштабування вхідних сигналів у вигляді струму і напруги з'єднані відповідно з першою та другою групою входів блока частотних фільтрів, група виходів якого з'єднана з групою входів аналого-цифрового перетворювача, група входів-виходів якого підключені до першої групи входів-виходів мікропроцесорної системи керування вихідними реле і сигналізацією.

Недоліком даного пристрою є обмежені функціональні можливості в зв'язку з тим, що в відомому пристрої не виконується, в реальному часі, безперервний моніторинг параметрів режимів ізоляційних показників високовольтних вводів силових трансформаторів тягових підстанцій, не проводиться визначення аварійного режиму і формування оперативної і повної комп'ютерної інформації про аварійний режим, включаючи характеристики аномального процесу та особливості його протікання, а також не реалізується передача оперативних і повних даних на верхні рівні керування електросистемою постачання електроенергії на тягу.

Найбільш близьким за своєю технічною суттю є цифрова система керування [3], що складається з багаторозрядного цифрового лічильного каналу, схеми керування, групи схем диз'юнкторів, дешифратора, і чотирьох груп схем I, причому вихід групи схем диз'юнкторів з'єднаний з входами дешифратора, а вихід першої і другої груп схем I з'єднані з нульовими входами розрядів першого багато розрядного цифрового лічильного каналу.

Недоліком даного пристрою є обмежені функціональні можливості, низький рівень діагностування та надійності в зв'язку з тим, що в відомому пристрої не виконується, в реальному часі з єдиних інформаційних позицій, безперервний моніторинг ізоляційних параметрів високовольтних вводів силових трансформаторів тягових підстанцій, не визначається величина струму збігання через ізолятори високовольтних вводів, не визначається значення кута між струмом збігання і напругою високовольтного вводу, а також не визначається тангенс кута діелектричних втрат як базового показника запобігання аварійних пошкоджень. Крім того, не проводяться ідентифікації аварійного режиму, а також не формуються і, відповідно, не передаються файли аварійної інформації для оперативного управління аварійним режимом силових трансформаторів тягових підстанцій системи електропостачання залізниць.

В основу корисної моделі поставлена задача створення мікропроцесорної системи моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів з розширеними функціональними можливостями, покращеним рівнем надійності і діагностування технічного стану тягових трансформаторів в процесі роботи, в якій за рахунок введення нових блоків і зв'язків між ними відкривається можливість значно розширити функціональні можливості шляхом організації, в реальному часі, з єдиних інформаційних позицій, безперервного моніторингу ізоляційних параметрів високовольтних вводів силових трансформаторів тягових підстанцій, визначати величину струму збігання через ізолятори високовольтних вводів трансформаторів, обчислювати значення кута між струмом збігання і напругою високовольтного вводу, а також обчислювати величину тангенса кута діелектричних втрат як базового показника запобігання аварійних пошкоджень. Крім того, в мікропроцесорній системі моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів, завдяки введенню нових елементів і зв'язків між ними, відкривається можливість, в реальному

часі, проводити ідентифікацію аварійних режимів, а також формування і, відповідно, передачі файлів аварійної інформації для оперативного керування системою електропостачання тягових підстанцій залізниць.

Поставлена задача досягається шляхом включення до мікропроцесорної системи моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів цифрового реєстратора параметрів, мікропроцесора, ключів струму, ключів напруги, регістрів, дешифраторів, підсилювача струму, блоку пам'яті і чотирипортового модулю інтерфейсу, причому ключі струму і ключі напруги виконані у вигляді матриці ключів (2×3), перші управляючі входи ключів струму першого рядка матриці ключів об'єднані і підключені до першого виходу першого дешифратора, другий вихід якого підключений до перших управляючих входів ключів напруги другого рядка матриці ключів, другі управляючі входи кожного $k^{\text{го}}$ стовпця матриці ключів об'єднані і підключені до $k^{\text{го}}$ виходу ($k=1, 2, 3$) другого дешифратора, виходи ключів струму першого рядка матриці ключів об'єднані і підключені через підсилювач струму до першого виходу цифрового реєстратора параметрів, другий вхід якого підключений до виходів ключів напруги другого рядка матриці ключів, вихід шини адреси першого порту мікропроцесора підключений f-старшими розрядами до входу адреси першого дешифратора (n-f)-молодшими розрядами до входу адреси другого дешифратора, стробуючий вхід якого з'єднаний зі стробуючим входом першого дешифратора і стробуючим виходом мікропроцесора, вихід шини даних якого підключений до входів шини даних блока пам'яті, чотирипортового модуля інтерфейсу і цифрового реєстратора параметрів, вихід шини адреси другого порту мікропроцесора з'єднаний з шиною адреси регістрів і чотирипортового модуля інтерфейсу, у входи запису і читання якого з'єднані відповідно з виходами запису і читання мікропроцесора, регістрів, блока пам'яті і цифрового реєстратора параметрів, а вихід першого регістра з'єднаний з входом адреси третього дешифратора виходи якого підключені до відповідних входів вибору кристалу чотирипортового модуля інтерфейсу, цифрового реєстратора параметрів і блоку пам'яті, адресний вхід якого з'єднаний з виходом другого регістра.

На фіг. 1 наведено структурну схему мікропроцесорної системи моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів, на фіг. 2 наведено блок-схему алгоритму функціонування мікропроцесорної системи моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів. Мікропроцесорна система моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів (фіг. 1) включає цифровий реєстратор параметрів 1, мікропроцесор 2, ключі струму 3, ключі напруги 4, регістри 5, дешифратори 6, підсилювач струму 7, блок пам'яті 8 і чотирипортовий модуль інтерфейсу 9. Ключі струму 3 і ключі напруги 4 виконані у вигляді матриці ключів (2×3), перші управляючі входи ключів струму 3 першого рядка матриці ключів об'єднані і підключені до першого виходу першого дешифратора 6, другий вихід якого підключений до перших управляючих входів ключів напруги 4 другого рядка матриці ключів. Другі управляючі входи кожного $k^{\text{го}}$ стовпця матриці ключів об'єднані і підключені до $k^{\text{го}}$ виходу ($k=1, 2, 3$) другого дешифратора 6. Виходи ключів струму 3 першого рядка матриці ключів об'єднані і підключені через підсилювач струму 7 до першого виходу цифрового реєстратора параметрів 1, другий вхід якого підключений до виходів ключів напруги 4 другого рядка матриці ключів. Вихід шини адреси першого порту мікропроцесора 2 підключений f-старшими розрядами до входу адреси першого дешифратора 6 і (n-f)-молодшими розрядами до входу адреси другого дешифратора 6, стробуючий вхід якого з'єднаний зі стробуючим входом першого дешифратора 6 і стробуючим виходом мікропроцесора 2. Вихід шини даних мікропроцесора 2 підключений до входів шини даних блока пам'яті 8, чотирипортового модуля інтерфейсу 9 і цифрового реєстратора параметрів 1. Вихід шини адреси другого порту мікропроцесора 2 з'єднаний з шиною адреси регістрів 5 і чотирипортового модуля інтерфейсу 9 входи запису і читання якого з'єднані відповідно з виходами запису і читання мікропроцесора 2, регістрів 5, блока пам'яті 8 і цифрового реєстратора параметрів 1. Вихід першого регістра 5 з'єднаний з входом адреси третього дешифратора 6, виходи якого підключені до відповідних входів вибору кристалу чотирипортового модуля інтерфейсу 9, цифрового реєстратора параметрів 1 і блока пам'яті 8, адресний вхід якого з'єднаний з виходом другого регістра 5. Мікропроцесор 2 мікропроцесорної системи моніторингу ізоляційних параметрів високовольтних вводів силових трансформаторів тягових підстанцій (фіг. 1) виконаний, наприклад, у вигляді однокристального мікропроцесора KM1816BE51. Чотирипортовий модуль 9 мікропроцесорної системи моніторингу ізоляційних параметрів високовольтних вводів силових трансформаторів тягових підстанцій (фіг. 1) виконаний, наприклад, у вигляді інтегральної схеми ST16C554DCJ. Підсилювач струму 7 мікропроцесорної системи моніторингу ізоляційних параметрів високовольтних вводів силових трансформаторів тягових підстанцій (фіг. 1) виконаний, наприклад, у вигляді підвищувача

трансформатора струму з коефіцієнтом трансформації 1:10 типу PACT MCR-V3-60 (фірма: RHOE NIX CONTACT). Цифровий реєстратор параметрів 1 мікропроцесорної системи моніторингу ізоляційних параметрів високовольтних вводів силових трансформаторів тягових підстанцій (фіг. 1) виконаний, наприклад, у вигляді цифрового мультиметру типу 560 CVT (фірма: ABB).

Робота мікропроцесорної системи моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів (фіг. 1) проводиться у відповідності з наведеною блок-схемою алгоритму роботи, наведеного на фіг. 2. Після запуску мікропроцесорної системи моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів (фіг. 1) вона працює постійно згідно алгоритму (фіг. 2) в реальному часі. З самого початку проводиться інсталяція мікропроцесорної системи і вводиться ряд констант $j=1$, $n=3$, R . Після інсталяції обробляється процедура обміну інформацією. Якщо обмін інформацією не проводиться, то мікропроцесорна система моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів запускається в роботу. Проводиться постійний моніторинг миттєвих значень струму збігання через ізолятори високовольтних вводів i_a , i_b , i_c відповідно фаз А, В і С, значення яких з виходів ключів струму 3 через підсилювач струму 7 поступають на перший вхід цифрового реєстратора параметрів 1. Проводиться також моніторинг миттєвих значень напруги u_a , u_b , u_c прикладених до ізоляторів високовольтних вводів трансформаторів, значення яких поступають з виходів ключів напруги 4 на другий вхід цифрового реєстратора параметрів 1. В цифровому реєстраторі параметрів 1 визначається косинус кута $\cos\varphi$ для кожної фази між струмами збігання через ізолятори високовольтних вводів i_a , i_b , i_c та відповідно напругами u_a , u_b , u_c . Отримані дані поступають через шину даних на вхід мікропроцесора 2 де вони обробляються і обчислюється значення $\arccos\varphi$, а також тангенс кута діелектричних втрат $\tg\delta = \tg(90 - \arccos\varphi)$. Далі, проводиться процедура визначення аварійного режиму як $\tg\delta \leq R$. Якщо аварійного режиму не має, то перевіряються логічні умови $j=n$, при необхідності виконується $j=j+1$ і обчислювальний процес повторюється згідно алгоритму (фіг. 2). Якщо в процесі моніторингу не виконуються умови $\tg\delta \leq R$, то мікропроцесором 2 формується файл аварійної інформації і передається на всі рівні керування електропостачанням. Після цього проводиться процедура кінця роботи мікропроцесорної системи моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів і вона призупиняє своє функціонування до поладження аварійного режиму і наступного запуску в роботу. Якщо після запуску мікропроцесорної системи моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів і проведення процедури аналізу обміну інформацією виявилось, що необхідно проводити обмін інформацією, то реалізується аналіз на предмет читання інформації чи тестування мікропроцесорної системи. Якщо необхідно проводити читання даних, то мікропроцесором 2 виконується процедура прийому або передача даних, їх аналіз на предмет правильності передачі і в подальшому виконується процедура кінця зв'язку. В тому випадку, коли необхідно проводити тестування, то з системи керування тяговими мережами вищого рівня, через чотирипортового модуля інтерфейсу 9 передається пакет тестів і проводиться процедура перевірки правильності роботи мікропроцесорної системи моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів. Якщо тест виконався, то проводиться процедура післятестового контролю і процес роботи мікропроцесорної системи моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів продовжується згідно алгоритму (фіг. 2). У випадку невиконання тестових програм, автоматично формується і передається інформація про неполадки в ній на вищий рівень керування і обробляється процедура кінця роботи.

Завдяки введенню нових елементів та зв'язків між ними запропонована мікропроцесорна система моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів вигідно відрізняється від прототипу. На відміну від прототипу, в якому обмежені функціональні можливості, низький рівень діагностування та надійності в зв'язку з тим, що в відомому пристрої не виконується, в реальному часі, безперервний моніторинг ізоляційних параметрів високовольтних вводів силових трансформаторів тягових підстанцій, не визначається значення кута між струмом збігання і напругою високовольтного вводу, а також не визначається тангенс кута діелектричних втрат. У запропонованій мікропроцесорній системі моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів, завдяки введенню нових блоків і зв'язків між ними, значно розширені функціональні можливості завдяки спроможності виконувати з єдиних інформаційних позицій, безперервний моніторинг ізоляційних параметрів високовольтних вводів силових трансформаторів тягових підстанцій, визначати величину струму збігання через ізолятори високовольтних вводів трансформаторів, обчислювати, для кожної фази, значення кута між струмом збігання і напругою високовольтного вводу, а також обчислювати величину тангенса кута діелектричних втрат як базового показника запобігання

аварійних пошкоджень. Крім того, в мікропроцесорній системі моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів, завдяки введенню нових елементів і зв'язків між ними, відкривається можливість, в реальному часі, проводити ідентифікацію аварійних режимів, а також формувати і, відповідно, передавати файли аварійної інформації.

5 Джерела інформації:

1. Інформаційно-вимірювальна система, G06F 15/20, патент України UA № 16876. Промислова власність. Офіційний бюлетень № 4, 1997 р.

2. Мікропроцесорна система захисту, H02H 7/26, патент України UA № 2173924. Промислова власність, Офіційний бюлетень № 26, 2001 р.

10 3. Цифрова система керування, G06F 11/00, патент України UA № 62024. Промислова власність. Офіційний бюлетень № 12, книга 1, 2003 р. (прототип).

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

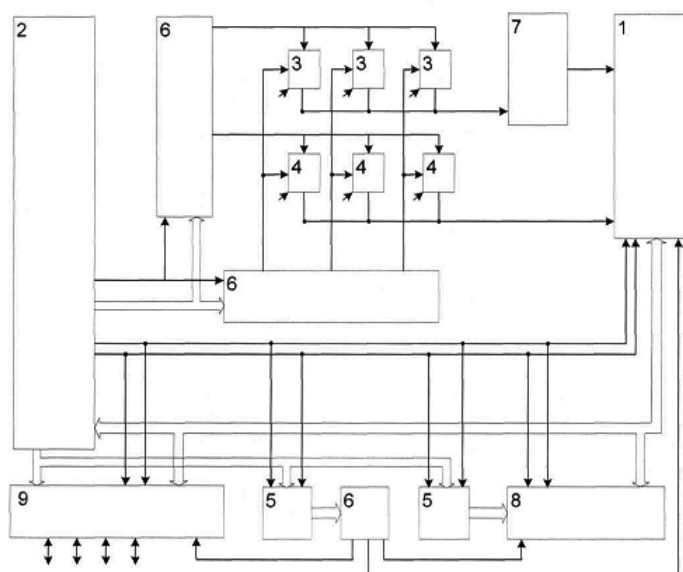
15 Мікропроцесорна система моніторингу параметрів ізоляції високовольтних вводів силових трансформаторів, що містить дешифратор, яка **відрізняється** тим, що в неї введено цифровий реєстратор параметрів, мікропроцесор, ключі струму, ключі напруги, регістри, дешифратори, підсилювач струму, блок пам'яті і чотирипортовий модуль інтерфейсу, причому ключі струму і

20 ключі напруги виконані у вигляді матриці ключів (2×3), перші управляючі входи ключів струму першого рядка матриці ключів об'єднані і підключені до першого виходу першого дешифратора, другий вихід якого підключений до перших управляючих входів ключів напруги другого рядка

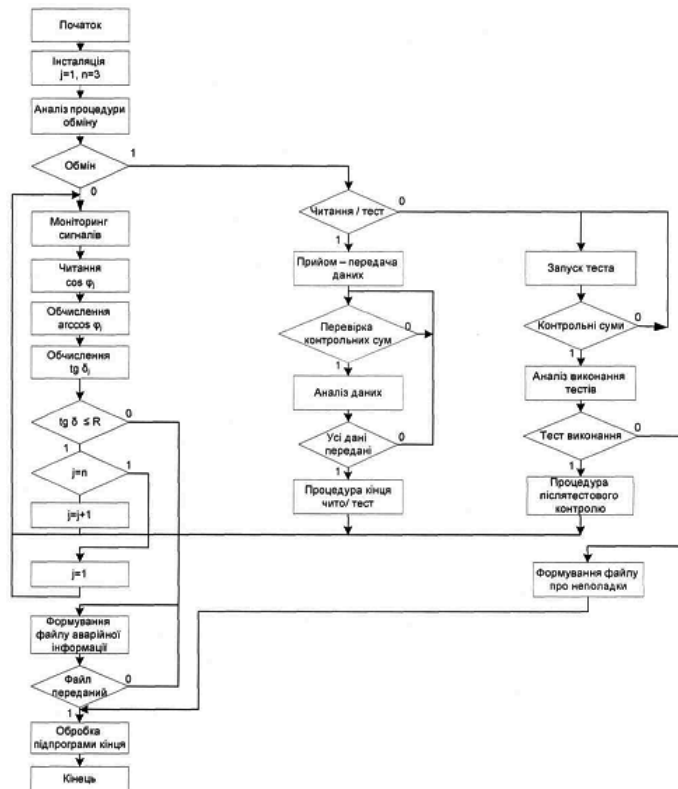
25 матриці ключів, другі управляючі входи кожного $k^{\text{го}}$ стовпця матриці ключів об'єднані і підключені до $k^{\text{го}}$ виходу ($k=1, 2, 3$) другого дешифратора, виходи ключів струму першого рядка матриці ключів об'єднані і підключені через підсилювач струму до першого входу цифрового реєстратора параметрів, другий вхід якого підключений до виходів ключів напруги другого рядка

30 матриці ключів, вихід шини адреси першого порту мікропроцесора підключений f -старшими розрядами до входу адреси першого дешифратора ($n-f$)-молодшими розрядами до входу адреси другого дешифратора, стробуючий вхід якого з'єднаний зі стробуючим входом першого дешифратора і стробуючим виходом мікропроцесора, вихід шини даних якого підключений до входів шини даних блока пам'яті, чотирипортового модулю інтерфейсу і цифрового реєстратора параметрів, вихід шини адреси другого порту мікропроцесора з'єднаний з шиною адреси регістрів і чотирипортового модулю інтерфейсу, входи запису і читання якого з'єднані відповідно з виходами запису і читання мікропроцесора, регістрів, блока пам'яті і цифрового реєстратора

35 параметрів, а вихід першого регістра з'єднаний з входом адреси третього дешифратора, виходи якого підключені до відповідних входів вибору кристалу чотирипортового модулю інтерфейсу, цифрового реєстратора параметрів і блока пам'яті, адресний вхід якого з'єднаний з виходом другого регістра.



Фиг. 1



Фіг. 2