



ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИ

УКРАЇНА

(19) **UA**

(11) **107437**

(13) **C2**

(51) МПК

**G06F 11/263** (2006.01)

## (12) ОПИС ДО ПАТЕНТУ НА ВИНАХІД

(21) Номер заявки: **а 2014 02650**

(22) Дата подання заявки: **17.03.2014**

(24) Дата, з якої є чинними  
права на винахід: **25.12.2014**

(41) Публікація відомостей  
про заяву: **10.07.2014, Бюл.№ 13**

(46) Публікація відомостей  
про видачу патенту: **25.12.2014, Бюл.№ 24**

(72) Винахідник(и):

**Дрозд Олександр Валентинович (UA),  
Нестеренко Сергій Анатолійович (UA),  
Дрозд Юлія Володимирівна (UA),  
Защолкін Костянтин В'ячеславович (UA),  
Кузнєцов Микола Олександрович (UA)**

(73) Власник(и):

**ОДЕСЬКИЙ НАЦІОНАЛЬНИЙ  
ПОЛІТЕХНІЧНИЙ УНІВЕРСИТЕТ,  
пр. Шевченка, 1, м. Одеса, 65044 (UA)**

(56) Перелік документів, взятих до уваги  
експертизою:

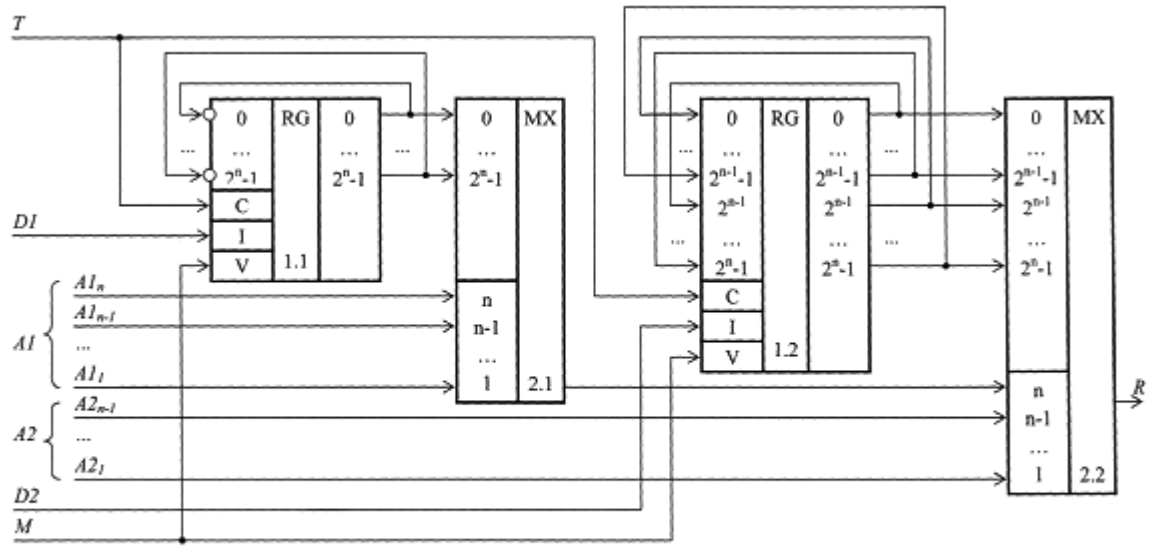
**Maxfield C. The Design Warrior's Guide to  
FPGAs, Newnes, 2004  
US 5841792 A, 24.11.1998  
US 5953272 A, 14.09.1999  
US 5872792 A, 16.02.1999  
US 6009540 A, 28.12.1999**

## (54) ПРОГРАМОВАНИЙ ПРИСТРІЙ

(57) Реферат:

Винахід належить до обчислювальної техніки, а саме до програмованих цифрових пристроїв, і може бути використаний в машинобудівних технологіях. Програмований пристрій призначений для обчислення прямого або інверсного значення першої логічної функції на виході першого мультиплексора та прямого значення другої логічної функції на виході другого мультиплексора, що шляхом введення другого регістра та другого мультиплексора забезпечує дві версії програмування першої та другої функцій пристрою, за якими перша функція може бути обчислена з прямим або інверсним значенням, а друга функція не змінює свого значення, що призводить до розширення функціональних можливостей обчислення будь-якої першої функції при константній несправності будь-якого одного з виходів першого регістра.

UA 107437 C2



Фиг. 1

Пропонований винахід належить до обчислювальної техніки, а саме до програмованих цифрових пристроїв, і може бути використаний в машинобудівних технологіях.

Відомий пристрій на основі мультиплексора, адресні входи якого є входами аргументів логічної функції пристрою, інформаційні входи з номерами наборів, що приймають в таблиці істинності логічної функції нульові та одиничні значення, підключені відповідно до входів нульового та одиничного значення пристрою, а вихід є виходом пристрою [1].

Недоліки аналогу: обмежені функціональні можливості - пристрій обчислює тільки одну конкретну логічну функцію.

Найбільш близьким до запропонованого винаходу по технічній суті та результату, що досягається, є програмований пристрій для обчислення логічної функції  $n$  змінних, який містить  $2^n$ -розрядний регістр та  $n$ -адресний мультиплексор, при цьому тактовий вхід та вхід послідовного прийому даних регістра є першим та другим входами пристрою, вхід  $n$  адресних розрядів мультиплексора є третім входом пристрою, інформаційні входи  $0 \dots 2^n - 1$  мультиплексора підключено до виходів відповідних розрядів  $0 \dots 2^n - 1$  регістра, а вихід мультиплексора підключено до виходу пристрою [2].

Недоліки прототипу: константна несправність 0 або 1 на будь-якому одному з виходів розрядів регістра не дозволяє обчислити всі логічні функції, що програмується в регістрі. Наприклад, константна несправність "0" на нульовому виході регістра не дозволяє обчислити логічні функції, що приймають одиничне значення на нульовому наборі змінних. Це суттєво обмежує функціональні можливості програмованого пристрою.

Задача винаходу - створення програмованого пристрою, в якому шляхом введення другого регістра та другого мультиплексора забезпечено обчислення прямого або інверсного значення першої логічної функції на виході першого мультиплексора та прямого значення другої логічної функції на виході другого мультиплексора, в результаті чого розширюються функціональні можливості щодо обчислення будь-якої першої логічної функції при константній несправності будь-якого одного з виходів першого регістра.

Поставлена задача вирішується тим, що у програмований пристрій, що містить перший  $2^n$ -розрядний регістр і перший  $n$ -адресний мультиплексор, при цьому тактовий вхід і перший вхід прийому даних пристрою підключено відповідно до тактового входу і входу послідовного прийому даних першого регістра, виходи розрядів  $0 \dots 2^n - 1$  якого підключено відповідно до інформаційних входів  $0 \dots 2^n - 1$  першого мультиплексора, входи  $n$  адресних розрядів  $1 \dots n$  першого мультиплексора є першим адресним входом пристрою, згідно з винаходом введено другий  $2^n$ -розрядний регістр і другий  $n$ -адресний мультиплексор, при цьому тактовий вхід і другий вхід прийому даних пристрою підключено відповідно до тактового входу та входу послідовного прийому даних другого регістра, входи молодших адресних розрядів  $1 \dots n - 1$  другого мультиплексора є другим адресним входом пристрою, вхід режиму пристрою підключено до входів дозволу паралельного прийому даних першого та другого регістрів, виходи розрядів  $0 \dots 2^n - 1$  першого регістра підключено відповідно до його інверсних входів розрядів  $0 \dots 2^n - 1$ , виходи розрядів  $0 \dots 2^n - 1$  другого регістра підключено відповідно до його входів розрядів  $2^{n-1} \dots 2^n - 1$ , а виходи розрядів  $2^{n-1} \dots 2^n - 1$  другого регістра підключено відповідно до його входів розрядів  $0 \dots 2^n - 1$ , виходи розрядів  $0 \dots 2^n - 1$  другого регістра підключено відповідно до інформаційних входів  $0 \dots 2^n - 1$  другого мультиплексора, вихід першого мультиплексора підключено до входу старшого адресного розряду  $n$  другого мультиплексора, вихід якого підключено до виходу пристрою.

Технічний ефект від запропонованого рішення полягає в тому, що шляхом введення другого  $2^n$ -розрядного регістра та другого  $n$ -адресного мультиплексора забезпечено дві версії програмування першої та другої логічних функцій пристрою, за якими перша логічна функція може бути обчислена з прямим або інверсним значенням, а друга логічна функція не змінює свого значення, що призводить до розширення функціональних можливостей обчислення будь-якої першої логічної функції при константній несправності будь-якого одного з виходів першого регістра.

Розширення функціональних можливостей пристрою можна оцінити наступним чином. В прототипі при константній несправності будь-якого одного розряду першого  $2^n$ -розрядного регістра кількість логічних функцій, що обчислюються на виході першого  $n$ -адресного мультиплексора, зменшується вдвічі. В запропонованому рішенні при неможливості внаслідок несправності обчислення прямого значення першої логічної функції (на виході першого  $n$ -адресного мультиплексора) код на виході першого  $2^n$ -розрядного регістра змінюється на інверсний. Це забезпечує обчислення інверсного значення першої логічної функції. При цьому в другому  $2^n$ -розрядному регістрі міняються місцями перша та друга половини коду, що компенсує інверсію на вході старшого розряду адреси другого  $n$ -адресного мультиплексора і зберігає

значення логічної функції на виході пристрою. Таким чином, запропоноване рішення відновлює можливість обчислення всіх логічних функцій на виході першого  $n$ -адресного мультиплексора, тобто подвоює їхню кількість.

Суть винаходу пояснюється кресленням на фіг. 1, де зображено перший 1.1 та другий 1.2  $2^n$ -розрядні регістри; перший 2.1 та другий 2.2  $n$ -адресні мультиплексори, тактовий вхід  $T$  пристрою, перший  $D1$  та другий  $D2$  входи прийому даних пристрою, перший  $A1$  та другий  $A2$  адресні входи пристрою, вхід  $M$  режиму пристрою та вихід  $R$  пристрою, при цьому вхід  $T$  пристрою підключено до тактових входів  $C$  регістрів 1.1 та 1.2, входи  $D1$  та  $D2$  підключено відповідно до входів  $I$  послідовного прийому даних регістрів 1.1 та 1.2, входи  $n$  адресних розрядів  $1 \dots n$  мультиплексора 2.1 є входом  $A1$  пристрою, входи молодших адресних розрядів  $1 \dots n-1$  мультиплексора 2.2 є входом  $A2$  пристрою, вхід  $M$  підключено до входів  $V$  дозволу паралельного прийому даних регістрів 1.1 та 1.2; виходи розрядів  $0 \dots 2^n-1$  регістра 1.1 підключено відповідно до його інверсних входів розрядів  $0 \dots 2^n-1$  та до інформаційних входів  $0 \dots 2^n-1$  мультиплексора 2.1, виходи розрядів  $0 \dots 2^n-1$  регістра 1.2 підключено відповідно до його входів розрядів  $2^{n-1} \dots 2^n-1$ , а виходи розрядів  $2^{n-1} \dots 2^n-1$  регістра 1.2 підключено відповідно до його входів розрядів  $0 \dots 2^n-1$ , виходи розрядів  $0 \dots 2^n-1$  регістра 1.2 підключено відповідно до інформаційних входів  $0 \dots 2^n-1$  мультиплексора 2.2, вихід мультиплексора 2.1 підключено до входу старшого адресного розряду  $n$  мультиплексора 2.2, вихід якого підключено до виходу  $R$  пристрою.

На фіг. 2 показано часові діаграми роботи блоків пристрою для  $n=4$ , а саме для входів  $M$ ,  $T$ ,  $D1$ ,  $D2$  пристрою, для кодів  $RG$  1.1 та  $RG$  1.2 на виходах регістрів 1.1 та 1.2, для розрядів  $A1_1$ ,  $A1_2$ ,  $A1_3$ ,  $A1_4$  входу  $A1$  пристрою, розрядів  $A2_1$ ,  $A2_2$ ,  $A2_3$  входу  $A2$  пристрою, а також виходів  $MX$  2.1 та  $MX$  2.2 (вихід  $R$  пристрою) мультиплексорів 2.1 та 2.2. Часові діаграми розбиті на 4 періоди: I-IV.

Пристрій працює у такий спосіб.

На періоді I виконується програмування пристрою, для чого на вхід  $T$  пристрою та відповідно на тактові входи регістрів 1.1 та 1.2 подається серія з  $2^n$  тактових імпульсів типу "меандр", а на входи  $D1$  та  $D2$  і відповідно входи  $I$  послідовного прийому даних регістрів 1.1 та 1.2 надходять послідовні коди, починаючи з молодших розрядів. У даному прикладі коди приймають значення, показані в табл. 1 у двійковій та 16-й (16 CC) системах числення.

Таблиця 1

Приклад кодів для програмування пристрою

Коди	Двійкові розряди																16 CC
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
RG1.1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	8000 <sub>16</sub>
RG 1.2	0	1	1	0	1	0	0	1	1	0	0	1	0	1	1	0	6996 <sub>16</sub>

За цими кодами 8000<sub>16</sub> та 6996<sub>16</sub> на виходах мультиплексорів 2.1 та 2.2 обчислюються функції логічного множення та суми за модулем два від чотирьох аргументів, відповідно.

На періоді II показано роботу пристрою при відсутності несправностей. На входи  $A1$  та  $A2$  пристрою надходять всі набори значень від 0000<sub>2</sub> до 1111<sub>2</sub> та від 000<sub>2</sub> до 111<sub>2</sub>, відповідно. Мультиплексори 2.1 та 2.2 одержують ці послідовності наборів на адресні входи  $1 \dots 4$  та  $1 \dots 3$ . Мультиплексор 2.1 вибирає за цими адресами значення розрядів регістра 1.1 від молодшого 0 до старшого 15, транслюючи на свій вихід послідовність  $0 \dots 01_2$ . Мультиплексор 2.2 приймає цю послідовність на старший адресний вхід 4, вибираючи значення розрядів регістра 1.2 від молодшого 0 до розряду 7, потім знову значення розрядів 0-6 та розряду 15, формуючи на виході код 0110100101101000<sub>2</sub>=6968<sub>16</sub>.

На періоді III показано роботу пристрою на тих же послідовностях наборів, що подаються на входи  $A1$  та  $A2$  пристрою, але при константній несправності "1" на виході розряду 7 регістра 1.1. При транслюванні цього помилкового значення розряду 7 на вихід мультиплексора 2.1 далі його приймає на адресний вхід 4 мультиплексор 2.2, вибираючи з виходів регістра 1.2 на вихід  $R$  пристрою помилково значення "0" розряду 15 замість значення "1" розряду 7. Помилкове значення на виході  $R$  пристрою та правильне значення на попередньому періоді виділено рамками.

На періоді IV показано роботу пристрою, що обчислює правильний результат на виході  $R$  при константній несправності "1" на виході розряду 7 регістра 1.1 з переходом на другу версію обчислення логічних функцій на виходах мультиплексорів 2.1 та 2.2. Для цього на вхід  $M$

пристрою подається сигнал, за яким відбувається перезапис кодів в регістрах 1.1 та 1.2. Перезапис коду регістра 1.1 виконується зі зміною його значення  $8000_{16}$  на інверсне  $7FFE_{16}$  з помилкою у розряді 7. Однак несправний вихід розряду 7 зберігає значення константної несправності "1", яке тепер співпадає з правильним значенням в проінвертованому коді  $7FFE_{16}$ .

- 5 Перезапис коду регістра 1.2 відбувається з переміною місць його старшої та молодшої половини, що перетворює його значення  $6996_{16}$  на  $9669_{16}$ . Мультиплексор 2.1 обчислює правильне інверсне значення першої логічної функції, яке подається на старший адресний розряд мультиплексора 2.2, забезпечуючи вибір значень розрядів регістра 2.2 з іншої половини коду порівняно до прямого значення першої логічної функції. Таким чином, на виході 10 мультиплексора 2.2 та виході пристрою R обчислюється правильне значення другої логічної функції, включаючи позицію, виділену на часових діаграмах рамкою, де на попередньому періоді відобразилося помилкове значення.

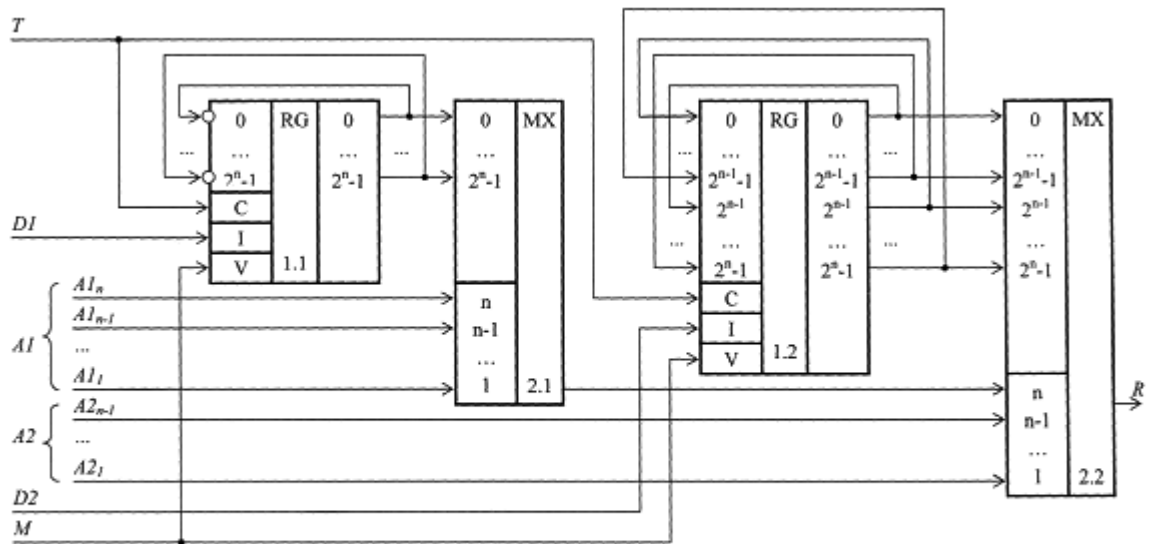
- Пристрій може бути використаний для відновлення правильних результатів у разі прояву відмов у LUT-орієнтованій архітектурі програмованих логічних інтегральних схем (LUT: Look-Up 15 Table - кодова таблиця).

Джерела інформації:

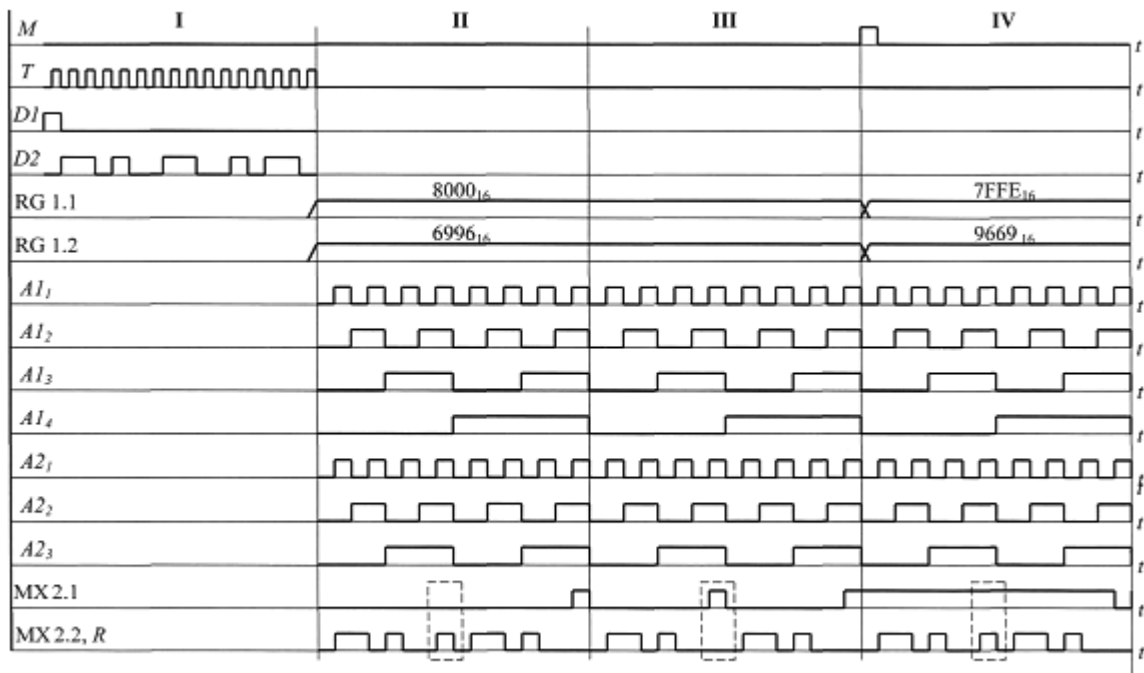
1. Основи цифрових систем / І.П. Барабаш, М.П. Благодатний, В.Я. Жихарев та ін. - Підручник - Харків: Нац. Аерокосмічний ун-т "Харк. авіац. ін-т", 2002. - 672 с., С. 159, рис. 5.18;
2. Maxfield C. The Design Warrior's Guide to FPGAs, Newnes, 2004 (рис. 3-19, стор. 51). - 20 Режим доступу: [http://profs.basu.ac.ir/abdoli/upload\\_file/722.file\\_ref.2202.2686.pdf](http://profs.basu.ac.ir/abdoli/upload_file/722.file_ref.2202.2686.pdf).

#### ФОРМУЛА ВИНАХОДУ

- Програмований пристрій, що містить перший регістр і перший мультиплексор, при цьому 25 тактовий вхід і перший вхід прийому даних пристрою підключено відповідно до тактового входу і входу послідовного прийому даних першого регістра, виходи розрядів  $0...2^n-1$  якого підключено відповідно до інформаційних входів  $0...2^n-1$  першого мультиплексора, входи n адресних розрядів  $1...n$  першого мультиплексора є першим адресним входом пристрою, який **відрізняється** тим, що введено другий  $2^n$ -розрядний регістр і другий n-адресний 30 мультиплексор, при цьому тактовий вхід і другий вхід прийому даних пристрою підключено відповідно до тактового входу та входу послідовного прийому даних другого регістра, входи молодших адресних розрядів  $1...n-1$  другого мультиплексора є другим адресним входом пристрою, вхід режиму пристрою підключено до входів дозволу паралельного прийому даних першого та другого регістрів, виходи розрядів  $0...2^n-1$  першого регістра підключено відповідно 35 до його інверсних входів розрядів  $0...2^n-1$ , виходи розрядів  $0...2^n-1$  другого регістра підключено відповідно до його входів розрядів  $2^{n-1}...2^n-1$ , а виходи розрядів  $2^{n-1}...2^n-1$  другого регістра підключено відповідно до його входів розрядів  $0...2^n-1$ , виходи розрядів  $0...2^n-1$  другого регістра підключено відповідно до інформаційних входів  $0...2^n-1$  другого мультиплексора, вихід першого мультиплексора підключено до входу старшого адресного розряду n другого мультиплексора, 40 вихід якого підключено до виходу пристрою.



Фиг. 1



Фиг. 2

Комп'ютерна верстка Л. Ціхановська

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601