



УКРАЇНА

(19) UA

(11) 54329

(13) A

(51) 7 G05F1/56

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА ВИНАХІДВИДАЄТЬСЯ ПІД
ВІДПОВІДАЛЬНІСТЬ
ВЛАСНИКА
ПАТЕНТУ

(54) LDO СТАБІЛІЗАТОР ПОСТІЙНОЇ НАПРУГИ З ВИСОКИМ КОЕФІЦІЄНТОМ ПОДАВЛЕННЯ ВХІДНИХ ПУЛЬСАЦІЙ

1

2

(21) 2002086790

(22) 15 08 2002

(24) 17 02 2003

(46) 17 02 2003, Бюл. №2, 2003 р.

(72) Дрьомов Сергій Тимофійович, Ліпатов Валерій Павлович, Піронер Ян Михайлович, Чапичо Аркадій Давидович

(73) НАУКОВО-ДОСЛІДНИЙ ІНСТИТУТ РАДІОЛОКАЦІЙНИХ СИСТЕМ "КВАНТ-РАДІОЛОКАЦІЯ"

(57) 1 LDO стабілізатор постійної напруги з високим коефіцієнтом подавлення вхідних пульсацій, що містить регулюючий елемент, колектор керуючого транзистора якого через послідовно з'єднані переходи база-емітер узгоджуючого та силового транзисторів сполучений з вхідним виводом, емітер безпосередньо з'єднаний з колектором узгоджуючого транзистора, а через напівпровідниковий елемент сполучений з колектором силового транзистора, вихідним виводом та емітером струмозадавального транзистора, а база з'єднана з колектором запускаючого транзистора, база якого сполучена з виходом джерела позитивного зміщення, а емітер через перший емітерний резистор з'єднаний з вхідним виводом, підсилювач зворотного зв'язку виконаний за диференціальною схемою, колектор вхідного транзистора якого безпосередньо з'єднаний з базою струмозадавально-

го транзистора, й через вирівнюючий резистор підключений до його емітера, база з'єднана з виходом джерела опорної напруги, емітер через другий емітерний резистор сполучений з загальною шиною і безпосередньо з'єднаний з емітером вихідного транзистора, база якого підключена до виходу вимірювального подільника вихідної напруги, а також другий обмежувальний резистор і оптоелектронний прилад, світлодіод якого ввімкнутий поміж колекторами запускаючого та вихідного транзисторів, колектор фототранзистора сполучений з емітером запускаючого транзистора, а емітер через послідовно з'єднані третій обмежувальний резистор та орган індикації сполучений з загальною шиною, який відрізняється тим, що другий вивід першого обмежувального резистора через джерело опорної напруги сполучений з загальною шиною, а колектор струмозадавального транзистора через другий обмежувальний резистор з'єднаний з базою керуючого транзистора

2 LDO стабілізатор постійної напруги з високим коефіцієнтом подавлення вхідних пульсацій за п. 1, який відрізняється тим, що джерело опорної напруги виконано на малошумливому опорному напівпровідниковому елементі з низькою та термостабільною напругою

Запропонований винахід відноситься до галузі електротехніки і може бути використаним при проектуванні джерел електроживлення високоточної радіоелектронної апаратури

Відомі стабілізатори постійної напруги, які володіють малим мінімальним падінням напруги, високою якістю вихідної напруги та достатньо ефективними захисними характеристиками

В одному з відомих стабілізаторів (див авт. св. СРСР № 593204, кл. G05 F1/56, 1976), який містить в собі регулюючий складений транзистор, ввімкнений в силовому колі, підсилювач зворотного зв'язку, виконаний по диференціальній схемі, джерело опорної напруги та вимірювальний

подільник вихідної напруги, верхнє плече якого виконано у вигляді двох послідовно з'єднаних резисторів, висока якість вихідної напруги забезпечується шляхом підключення колектора одного із транзисторів підсилювача зворотного зв'язку до точки з'єднання резисторів верхнього плеча вимірювального подільника вихідної напруги. Недоліками відомого стабілізатора є складність налаштування, оскільки в деяких випадках потребується підбір опорного одного із резисторів верхнього плеча вимірювального подільника вихідної напруги, а також велика потужність розсіювання регулюючого транзистора

В другому відомому стабілізаторі (див авт. св.

(13) A

(11) 54329

(19) UA

СРСР № 714379, кл. G05 F1/56, 1977), який складається з регулюючого елементу, виконаного на транзисторах, підсилювача зворотнього зв'язку, джерела опорної напруги, а також вузла захисту, включаючого захисний транзистор і датчик струму в силовому колі, якість вихідної напруги покращена шляхом виконання датчика струму на двох послідовно сполучених резисторах та підключення до їх точки з'єднання джерела опорної напруги. Недоліками другого відомого стабілізатора є недостатньо висока якість вихідної напруги та велика потужність розсіювання регулюючого елемента.

В відомому стабілізаторі (див. авт. св. СРСР № 832543, кл. G05 F1/56, 1978), який включає регулюючий елемент, виконаний на силовому, узгоджуючому та керуючому транзисторах з розділеними вихідними колекторними та емітерними ланцюгами, підсилювач зворотнього зв'язку з джерелом опорної напруги, вимірювальним подільником вихідної напруги та стабілізатором струму в якості вихідного навантаження, суттєво зменшені мінімальне падіння напруги і потужність розсіювання шляхом розділення вихідних колекторних та емітерних ланцюгів транзисторів регулюючого елемента. Недоліками стабілізатора є невисока якість вихідної напруги оскільки підсилювач зворотнього зв'язку живиться через стабілізатор струму вихідною нестабілізованою напругою, недостатньо мала величина мінімального падіння напруги, великий струм короткого замикання та значна залежність його величини від температури навколишнього середовища.

Із відомих стабілізаторів більш близьким за технічною суттю і прийнятим за прототип (див. патент України № 45669A, кл. G 05F 1/56, 2001 р.) є LDO стабілізатор постійної напруги з високим коефіцієнтом подавлення вхідних пульсацій, що містить у собі регулюючий елемент, колектор керуючого транзистора якого через послідовно з'єднані переходи база-емітер узгоджуючого та силового транзисторів сполучений з вхідним виводом, емітер безпосередньо з'єднаний з колектором узгоджуючого транзистора та одним із виводів першого обмежувального резистора, а через напівпровідниковий елемент сполучений з колектором силового транзистора вихідним виводом та емітером струмозадавального транзистора, база з'єднана з колектором запускаючого транзистора, база якого сполучена з виходом джерела позитивного зміщення, а емітер через перший емітерний резистор з'єднаний з вхідним виводом, підсилювач зворотнього зв'язку, виконаний по диференціальній схемі, колектор вхідного транзистора якого безпосередньо з'єднаний з базою струмозадавального транзистора, а через вирівнюючий резистор підключений до його емітера, база з'єднана з виходом джерела опорної напруги, емітер через другий емітерний резистор сполучений з загальною шиною і безпосередньо з'єднаний з емітером вихідного транзистора, база якого підключена до виходу вимірювального подільника вихідної напруги, а також другий обмежувальний резистор і оптоелектронний прилад, світлодіод якого ввімкнутий поміж колекторами запускаючого та вихідного транзисторів, колектор фототранзистора сполучений з емітером запускаючого транзи-

стора, а емітер через послідовно з'єднані третій обмежувальний резистор та орган індикації сполучений з загальною шиною.

Даний стабілізатор характеризується одночасно малим мінімальним падінням напруги оскільки роз'єднані колекторні та емітерні вихідні ланцюги силового, узгоджуючого та керуючого транзисторів, підвищеною якістю вихідної напруги внаслідок живлення базового ланцюга керуючого транзистора стабільною напругою, малим струмом короткого замикання, а також високоточною індикацією номінального значення вихідної напруги.

Однак суттєвими недоліками стабілізатора, які обмежують його застосування, є недостатньо мала величина мінімального падіння напруги, недостатньо високий коефіцієнт подавлення вхідних пульсацій, підвищені величина вихідного опору та струм короткого замикання.

Недостатньо мала величина мінімального падіння напруги та недостатньо високий коефіцієнт подавлення вхідних пульсацій пояснюються тим, що внаслідок розкиду параметрів струмозадавальний транзистор в момент входження стабілізатора в нормальний режим роботи може знаходитись в режимі насичення і шунтувати напівпровідниковий елемент, обмежуючи його функцію. Підвищені вихідний опір стабілізатора, а також струм короткого замикання пояснюються, відповідно, обмеженням коефіцієнтом підсилення підсилювача зворотнього зв'язку та підвищеним падінням напруги на обмежувальному резисторі в режимі короткого замикання і складністю його регулювання.

В основу винаходу поставлена задача створення LDO стабілізатора постійної напруги з високим коефіцієнтом подавлення вхідних пульсацій, в якому шляхом виключення можливості шунтування напівпровідникового елемента струмозадавальним транзистором в режимі мінімального падіння напруги зменшена величина мінімального падіння напруги та підвищений коефіцієнт подавлення вхідних пульсацій, шляхом зниження напруги на джерелі опорної напруги при зниженні навантаження зменшена величина вихідного опору, а шляхом зменшення падіння напруги на першому обмежувальному резисторі в режимі короткого замикання та забезпеченням можливості його регулювання знижений струм короткого замикання.

Поставлена задача вирішується тим, що в LDO стабілізаторі постійної напруги з високим коефіцієнтом подавлення вхідних пульсацій, колектор керуючого транзистора якого через послідовно з'єднані переходи база-емітер узгоджуючого та силового транзисторів сполучений з вхідним виводом, емітер безпосередньо з'єднаний з колектором узгодженого транзистора та одним із виводів першого обмежувального резистора, а через напівпровідниковий елемент сполучений з колектором силового транзистора, вихідним виводом та емітером струмозадавального транзистора, база з'єднана з колектором запускаючого транзистора, база якого сполучена з виходом джерела позитивного зміщення, а емітер через перший емітерний резистор з'єднаний з вхідним виводом, підсилювач зворотнього зв'язку, виконаний по диференціальній схемі, колектор вхідного транзистора якого

безпосередньо з'єднаний з базою струмозадавального транзистора, а через вирівнюючий резистор підключений до його емітера, база з'єднана з виходом джерела опорної напруги, емітер через другий емітерний резистор сполучений з загальною шиною і безпосередньо з'єднаний з емітером вихідного транзистора, база якого підключена до виходу вимірювального подільника вихідної напруги, а також другий обмежувальний резистор, оптоелектронний прилад, світлодіод якого ввімкнутий поміж колекторами запускаючого та вихідного транзисторів, колектор фототранзистора сполучений з емітером запускаючого транзистора, а його емітер через послідовно з'єднані третій обмежувальний резистор та орган індикації сполучений з загальною шиною

1) другий вивід першого обмежувального резистора через джерело опорної напруги сполучений з загальною шиною, а колектор струмозадавального транзистора через другий обмежувальний резистор з'єднаний з базою керуючого транзистора регулюючого елемента,

2) джерело опорної напруги виконано на малошумливому опорному напівпровідниковому елементі з низькою та термостабільною напругою

В момент входження стабілізатора в нормальний режим роботи, коли струмозадавальний резистор знаходиться в режимі насичення, наявність другого обмежувального резистора в колекторно-ланцюгу струмозадавального транзистора викликає можливість шунтування напівпровідникового елемента

Крім цього другий обмежувальний резистор з опорним напівпровідниковим елементом в значній мірі визначають струм короткого замикання стабілізатора

При зниженні навантаження одночасно зменшується напруга опорного напівпровідникового елемента, відповідно зменшується і вихідний опір стабілізатора

Аналіз науково-технічної та патентної літератури не виявив аналогічних технічних рішень

На фіг. показана електрична схема запропонованого LDO стабілізатора постійної напруги з високим коефіцієнтом подавлення вхідних пульсацій

Запропонований LDO стабілізатор постійної напруги містить в собі регулюючий елемент, виконаний на силовому 1, узгоджувальному 2 та керуючому 3 транзисторах, вхідний вивід 4, вихідний вивід 5, загальну шиною 6, напівпровідниковий елемент 7, перший обмежувальний резистор 8, запускаючий, транзистор 9, перший емітерний резистор 10, джерело 11 позитивного зміщення, струмозадавальний транзистор 12, вхідний 13 та вихідний 14 транзистори диференціального підсилювача зворотнього зв'язку, другий емітерний резистор 15, джерело 16 опорної напруги, вирівнюючий резистор 17, другий обмежувальний резистор 18, вимірювальний подільник 19 вихідної напруги, а також оптоелектронний елемент 20, який складається з світлодіода 21 та фототранзистора 22, третій обмежувальний резистор 23 і орган індикації 24. Колектор керуючого транзистора 3 регулюючого елемента через переходи база-емітер узгоджуючого 2 та силового 1 транзисторів з'єднаний з вхід-

ним виводом 4, емітер його безпосередньо сполучений з колектором узгоджуючого транзистора 2, через напівпровідниковий елемент 7 з'єднаний з колектором силового транзистора 1, вихідним виводом 5 та емітером струмозадавального транзистора 12, а послідовно сполучені перший обмежувальний резистор 8 та джерело 16 опорної напруги з'єднаний з загальною шиною 6, база безпосередньо сполучена з колектором запускаючого транзистора 9, а через другий обмежувальний резистор 18 з'єднана з колектором струмозадавального транзистора 12. Емітер запускаючого транзистора 9 через перший емітерний резистор 10 з'єднаний з вхідним виводом 4, а його база сполучена з виходом джерела 11 позитивного зміщення. Колектор вхідного транзистора 13 диференціального підсилювача зворотнього зв'язку безпосередньо з'єднаний з базою струмозадавального транзистора 12, а через вирівнюючий резистор 17 підключений до його емітера, база з'єднана з виходом джерела 16 опорної напруги, емітер через другий емітерний резистор 15 сполучений з загальною шиною 6 і безпосередньо з'єднаний з емітером вихідного транзистора 14, база якого підключена до виходу вимірювального подільника 19 вихідної напруги, колектор через світлодіод 21 оптоелектронного приладу 20 з'єднаний з базою керуючого транзистора 3. Фототранзистор 22 оптоелектронного приладу 20 послідовно з третім обмежувальним резистором 23 та органом індикації 24, виконаним на світлодіоді, включений в ланцюг закривання запускаючого транзистора 9 - поміж його емітером та загальною шиною

Запропонований LDO стабілізатор постійної напруги з високим коефіцієнтом подавлення вхідних пульсацій працює наступним чином. При вмиканні вхідної напруги запускаючий транзистор 9 під впливом джерела 11 позитивного зміщення знаходиться у відкритому стані і забезпечує проходження запускаючого базового струму керуючого транзистора 3, фототранзистор 22 при цьому знаходиться в закритому стані. В цей період відбувається включення стабілізатора і підвищення його вихідної напруги до номінальної величини. В той момент, коли вихідна напруга стабілізатора досягає своєї номінальної величини, а падіння напруги на ньому має мінімальну величину, відкривається вихідний транзистор 14 підсилювача зворотнього зв'язку, з'являється його колекторний струм, що приводить до включення світлодіода 21, та, відповідно, фототранзистора 22 оптоелектронного приладу 20. В подальшому струм, який починає протікати через ланцюг, що складається з першого емітерного резистора 10, фототранзистора 22, третього обмежувального резистора 23 і органа індикації 24, одночасно забезпечує спрацювання органа індикації 24 та закриття запускаючого транзистора 9. Спрацювання органа індикації 24 свідчить про відповідність вихідної напруги як номінальній величині так і високій її якості, а також про нормальну роботу елементів стабілізатора. Висока якість вихідної напруги стабілізатора пояснюється тим, що після закриття запускаючого транзистора 9, базове коло керуючого транзистора 3 та колекторне коло вихідного транзистора 14 підсилювача зворотнього зв'язку живляться стабіль-

ним струмом $I_{3,14}$ з виходу стабілізатора. Величина струму $I_{3,14}$ визначається наступним виразом

$$I_{3,14} = \frac{U_7 - U_{e63}}{R_{18} + R_{ек12}}$$

де U_7 - напруга напівпровідникового елементу 7,

U_{e63} - напруга на переході емітер-база керуючого транзистора 3,

$R_{ек12}$ - опір переходу емітер-колектор струмозадавального транзистора 12,

R_{18} - опір другого обмежувального резистора 18

Приведений вираз показує, що в момент входження стабілізатора в нормальний режим роботи, коли падіння напруги на ньому має мінімальну величину, а струмозадавальний транзистор 12 знаходиться у насиченому стані, шунтування напівпровідникового елементу 17 струмозадавальним транзистором 12 не відбувається, а струм $I_{3,14}$ обмежується величиною опору другого обмежувального резистора 18 (R_{18}) і має досить стабільну величину. Тобто зменшується мінімальне падіння напруги на стабілізаторі, та, відповідно, підвищується коефіцієнт подавлення вхідних пульсацій.

Одночасно другий обмежувальний резистор 18 з джерелом 16 опорної напруги зменшують струм короткого замикання $I_{кз}$ стабілізатора та розширюють можливість його регулювання згідно з виразом

$$I_{кз} = \frac{(U_{11} - U_{e69})(R_{17} + R_{18})(U_{к612} - U_{e63} - U_{16})R_{10}}{R_8 \times R_{10}} \times \beta_1$$

де U_{11} - вихідна напруга джерела 11 позитивного зміщення,

U_{e69} , $U_{к612}$ - напруги на переходах емітер-база, та колектор-база відповідно запускаючого 9 та струмозадавального 12 транзисторів,

U_{16} - вихідна напруга джерела 16 опорної напруги,

R_{17} , R_{10} , R_8 - величини опорів, відповідно вирівнювального 17, першого емітерного 10 та першого обмежувального 8 резисторів,

β_1 - коефіцієнт підсилення струму силового транзистора 1

Пояснюється це сталими величинами напруги U_{11} , U_{e69} , $U_{к612}$, U_{e63} , опорів R_{17} , R_{10} , R_8 та відомою величиною коефіцієнта підсилення струму β_1 . А низька величина та висока температурна стабільність напруги U_{16} забезпечують додаткові можливості регулювання струму короткого замикання шляхом розрахунку опору другого обмежувального резистора 18

При зменшенні вихідного струму стабілізатора на величину $\Delta I_{вих}$ напруга між емітером керуючого транзистора 3 та загальною шиною зменшується на величину

$$\frac{\Delta I_{вих}}{\beta_1} \times R_{d7}$$

де R_{d16} - диференціальний опір напівпровідникового елементу 7

Це призводить до зменшення напруги джерела 16 опорної напруги на величину ΔU_{16}

$$\Delta U_{16} = \frac{\Delta I_{вих}}{\beta_1} R_{d7} \times \frac{R_{d16}}{R_8 + R_{d16}}$$

де R_{d16} - диференціальний опір джерела 16 опорної напруги

В результаті вихідна напруга стабілізатора зменшується і компенсується її підвищення, яке визначається вихідним опором, тобто вихідний опір стабілізатора зменшується

Таким чином, одержаний LDO стабілізатор постійної напруги з високим коефіцієнтом подавлення вхідних пульсацій, який володіє малою величиною мінімального падіння напруги, високим коефіцієнтом подавлення вхідних пульсацій, високоточною індикацією номінального значення вихідної напруги і нормальної роботи його елементів, малою величиною вихідного опору, малим струмом короткого замикання та характеризується простотою схемного виконання, оскільки частина елементів виконують декілька функцій. Так, у нормальному режимі роботи струмозадавальний транзистор 12 забезпечує живлення базового кола керуючого транзистора 3 та колекторного кола вихідного транзистора 14 високоякісним струмом, що позитивно впливає на якість вихідної напруги та зменшує мінімальну величину падіння напруги, вирівнюючий резистор 17 забезпечує рівність емітерних струмів вхідного 13, та вихідного 14 транзисторів підсилювача зворотнього зв'язку, а падіння напруги на ньому створює необхідне значення провідності струмозадавального транзистора 12, другий обмежувальний резистор 18 виключає можливість шунтування напівпровідникового елементу 7 в режимі входження стабілізатора в нормальний режим роботи і цим зменшує мінімальне падіння напруги та підвищує коефіцієнт подавлення напруги вхідних пульсацій, джерело 16 опорної напруги визначає рівень вихідної напруги та її високу якість при виконанні його на малощумливому термостабільному елементі. В режимі короткого замикання перехід колектор-база струмозадавального транзистора 12, вирівнюючий 17 та другий обмежувальний 18 резистори утворюють коло позитивного зміщення переходу база-емітер керуючого транзистора 3, та разом з джерелом 16 опорної напруги визначають величину струму короткого замикання. Живлення кола позитивного зміщення здійснюється стабільним струмом запускаючого транзистора 9, який одночасно забезпечує запуск стабілізатора при включенні

Експериментальні дослідження підтвердили роботоздатність та позитивні якості запропонованого LDO стабілізатора постійної напруги з високим коефіцієнтом подавлення вхідних пульсацій. В порівнянні з прототипом на 7 - 10% зменшена величина мінімального падіння напруги та підвищений коефіцієнт подавлення вхідних пульсацій, в 1,5 рази зменшений струм короткого замикання, в 2 рази зменшений вихідний опір стабілізатора

В стабілізаторі з вихідною напругою 15В та струмом 1А при розкіді параметрів струмозадавального транзистора без ускладнення схеми одержані мінімальне падіння напруги - < 0,07 В, коефіцієнт подавлення пульсацій вхідної напруги > 120 дБ, струм короткого замикання < 0,03 А, вихідний опір < 0,002 Ом

Запропоноване технічне рішення може бути використане при розробці високоефективних

мікроелектронних стабілізаторів постійної напруги

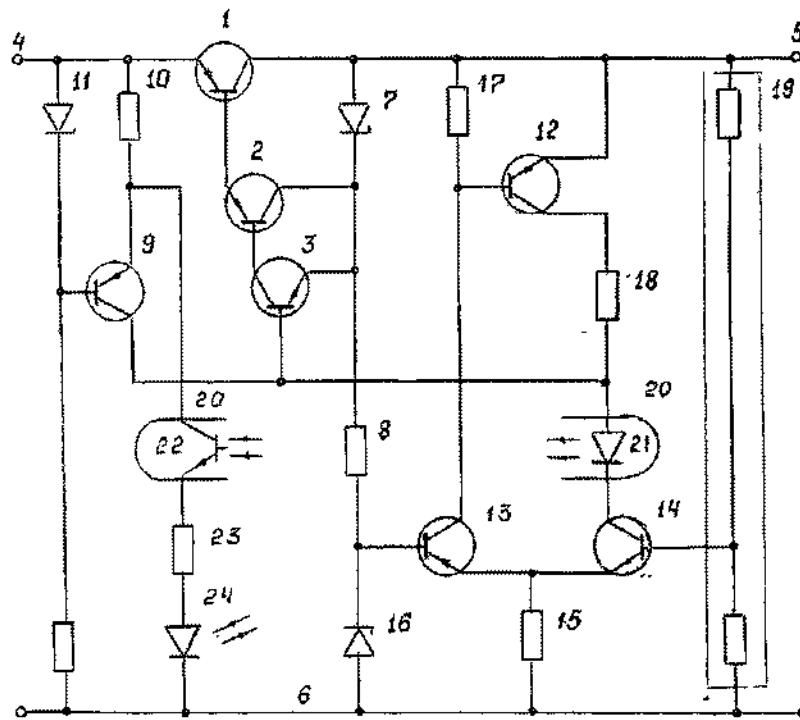


Fig.