



УКРАЇНА

(19) UA

(11) 119391

(13) U

(51) МПК

H03K 5/22 (2006.01)

H03M 1/36 (2006.01)

МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

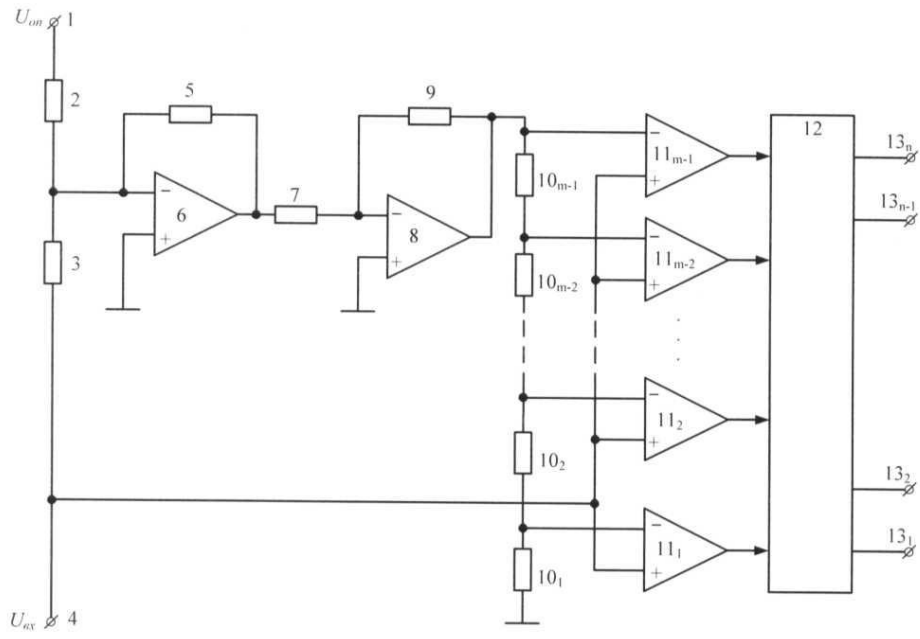
(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2017 03056	(72) Винахідник(и): Бортник Геннадій Григорович (UA), Бортник Олександр Геннадійович (UA), Васильківський Микола Володимирович (UA)
(22) Дата подання заявки: 31.03.2017	
(24) Дата, з якої є чинними права на корисну модель: 25.09.2017	
(46) Публікація відомостей про видачу патенту: 25.09.2017, Бюл.№ 18	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця 21021 (UA)

(54) ПАРАЛЕЛЬНИЙ АНАЛОГО-ЦИФРОВИЙ ПЕРЕТВОРЮВАЧ**(57) Реферат:**

Паралельний аналого-цифровий перетворювач у випадку n розрядів містить резистивну матрицю, 2^n-1 компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а виходи компараторів під'єднано до відповідних входів блока кодувальної логіки, виходи якого є вихідною розрядною шиною аналого-цифрового перетворювача. Також в нього введено перший операційний підсилювач, перший, другий та третій резистори, другий операційний підсилювач, четвертий та п'ятий резистори. При цьому до інвертувального входу першого операційного підсилювача під'єднано перші виводи першого, другого та третього резисторів, а другий вивід першого резистора під'єднано до шини джерела опорної напруги, другий вивід другого резистора під'єднано до шини джерела вхідного сигналу, який підлягає перетворенню та до неінвертувальних входів лінійки з $m-1$ компараторів, другий вивід третього резистора під'єднано до виходу першого операційного підсилювача та до першого виводу четвертого резистора, другий вивід якого під'єднано до інвертувального входу другого операційного підсилювача та першого виводу п'ятого резистора, другий вивід якого під'єднано до виходу другого операційного підсилювача та до другого входу резистивної матриці, перший вхід якої, а також неінвертувальні входи першого та другого операційних підсилювачів під'єднано до спільної шини пристрою.

UA 119391 U



Корисна модель належить до імпульсної техніки і призначена для використання в системах обробки швидкоплинної інформації.

Відомий паралельний аналого-цифровий перетворювач, який у випадку n розрядів містить m груп компараторів, елементів пам'яті, причому загальне число компараторів в цьому випадку складає $2^n - 1$, а елементів пам'яті 2^{n-1} , виходи компараторів підключені до керуючих виходів елементів пам'яті, тактові входи яких підключені до джерела стробуючого сигналу, а виходи, під'єднані до розрядних шин (патент США № 3829853, МПК H03M 1/36).

Недоліком цього пристрою є вузький динамічний діапазон і обмежені функціональні можливості.

Відомий аналого-цифровий перетворювач паралельної дії, який містить групу компараторів старших розрядів і групу компараторів молодших розрядів, перші входи яких підключені до джерел опорних напруг, сигнальні входи групи компараторів старших розрядів підключені до джерела сигналу, який перетворюється, а виходи компараторів в кожній групі, крім компараторів старших розрядів, об'єднані попарно і підключені до керуючих входів елементів пам'яті, і резистивні підсилювачі, перші входи яких підключені до джерел струмів зміщення, другі через повторювач та інвертор підключені до джерела сигналу, який перетворюється, а виходи попарно зі зсувом на один підключені до входів елемента, виходи яких через елемент АБО з'єднані з сигнальними входами компараторів молодших розрядів, входи стробування елементів пам'яті підключені до джерела стробуючого сигналу (А.с. СРСР № 879771, МПК H03K 5/22, бюлетень № 41, 1981 р.).

Недоліками даного перетворювача є вузький динамічний діапазон і обмежені функціональні можливості.

Найбільш близьким є паралельний аналого-цифровий перетворювач, який у випадку n розрядів містить резистивну матрицю, вхід якої під'єднано до шини джерела опорної напруги, $2^n - 1$ компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а неінвертувальні входи з'єднано з шиною джерела напруги, яка підлягає перетворенню, виходи компараторів під'єднано до відповідних входів кодувальної логіки, виходи якої є вихідною розрядною шиною аналого-цифрового перетворювача (АЦП). (Гельман М.М. Системные аналого-цифровые преобразователи и процессоры сигналов. - М.: Мир, 1996. - С. 142, фиг. 2.4).

Недоліком даного пристрою є вузький динамічний діапазон, оскільки при розширенні динамічного діапазону, число компараторів, резисторів матриці та елементів кодувальної логіки збільшується пропорційно $2^n - 1$, де n - число розрядів АЦП, що різко ускладнює реалізацію такого АЦП, а це обмежує функціональні можливості.

В основу корисної моделі поставлено задачу створення паралельного аналого-цифрового перетворювача, в якому за рахунок введення нових блоків, елементів та зв'язків розширюється динамічний діапазон, що призводить до розширення функціональних можливостей АЦП в системах обробки швидкоплинної інформації.

Поставлена задача вирішується тим, що в паралельний аналого-цифровий перетворювач, який у випадку n розрядів містить резистивну матрицю, $2^n - 1$ компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а виходи компараторів під'єднано до відповідних входів блока кодувальної логіки, виходи якого є вихідною розрядною шиною аналого-цифрового перетворювача введено перший операційний підсилювач, перший, другий та третій резистори, другий операційний підсилювач, четвертий та п'ятий резистори, причому до інвертувального входу першого операційного підсилювача під'єднано перші виводи першого, другого та третього резисторів, а другий вивід першого резистора під'єднано до шини джерела опорної напруги, другий вивід другого резистора під'єднано до шини джерела вхідного сигналу, який підлягає перетворенню та до неінвертувальних входів лінійки з $m - 1$ компараторів, другий вивід третього резистора під'єднано до виходу першого операційного підсилювача та до першого виводу четвертого резистора, другий вивід якого під'єднано до інвертувального входу другого операційного підсилювача та першого виводу п'ятого резистора, другий вивід якого під'єднано до виходу другого операційного підсилювача та до другого входу резистивної матриці, перший вхід якої, а також неінвертувальні входи першого та другого операційних підсилювачів під'єднано до спільної шини пристрою, що дає при однаковій кількості компараторів та елементів в блоці кодувальної логіки як і в прототипу, розширення динамічного діапазону АЦП.

На кресленні наведена структурна електрична схема паралельного аналого-цифрового перетворювача.

Пристрій містить шину 1 джерела опорної напруги U_{on} , до якої під'єднано перший вивід першого 2 резистора, а його другий вивід під'єднано до першого виводу другого 3 резистора,

першого виводу третього 5 резистора та інвертуального входу першого операційного підсилювача 6. Шину 4 джерела вхідного сигналу $U_{вх}$, що підлягає перетворенню під'єднано до другого виводу другого 3 резистора та до неінвертуальних входів лінійки з $m-1$ компараторів 11. Другий вивід третього резистора 5 під'єднано до виходу першого 6 операційного підсилювача та до першого входу четвертого 7 резистора, другий вивід якого під'єднано до інвертуального входу другого 8 операційного підсилювача та першого виводу п'ятого 9 резистора. Другий вивід п'ятого 9 резистора під'єднано до виходу другого операційного підсилювача 8 та входу резистивної матриці, що складається з $m-1$ послідовно ввімкнених резисторів, де $m=2^n$, виходи якої під'єднано до інвертувальних входів лінійки з $m-1$ компараторів 11. Виходи лінійки з $m-1$ компараторів 11 під'єднано до входів блока кодувальної логіки 12, виходи якого під'єднано до n -розрядної вихідної шини 13 аналого-цифрового перетворювача.

Аналого-цифровий перетворювач працює наступним чином. Вхідний сигнал, який перетворюється $U_{вх}$ через шину 4 джерела вхідного сигналу надходить на другий резистор 3 та неінвертуальні входи лінійки з $m-1$ компараторів 11, де відбувається її порівняння з опорними напругами сформованими за допомогою резистивної матриці 10. За допомогою блока кодувальної логіки 12 відбувається перетворення $m-1$ -розрядного унітарного коду з виходів лінійки і $m-1$ компараторів 11 у n -розрядний позиційний двійковий код. Двійковий код з виходів блока кодувальної логіки 12 подається на n -розрядну вихідну шину 13 аналого-цифрового перетворювача.

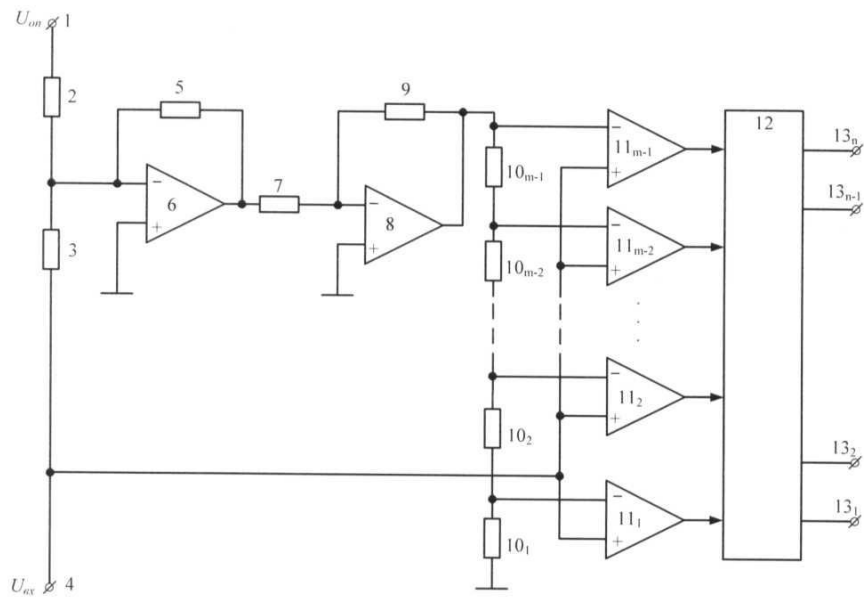
Опорний напруга для резистивної матриці 10 формується за допомогою двох операційних підсилювачів 6 і 8, увімкнених за схемою інвертування сигналу. Перший операційний підсилювач 6 виконує підсумовування вхідного сигналу $U_{вх}$ та опорної напруги $U_{оп}$ з відповідними коефіцієнтами підсилення, значення яких залежать від опорів першого 2, другого 3 та третього 5 резисторів. Для реалізації режиму розширення динамічного діапазону АЦП опори цих резисторів знаходяться у такому співвідношенні: $R_5 = R_2 > R_3$.

Опори четвертого 7 та п'ятого 9 резисторів однакові, тому другий операційний підсилювач 8 виконує інвертування вихідного сигналу першого операційного підсилювача 6 з коефіцієнтом передачі, що дорівнює 1. Таким чином, на виході другого операційного підсилювача 8 формується опорна напруга для резистивної матриці 10, причому її значення є не постійним, а залежить від поточного значення напруги вхідного сигналу АЦП $U_{вх}$. При збільшенні напруги вхідного сигналу $U_{вх}$ зростає опорна напруга на вході резистивної матриці 10. Коефіцієнт розширення динамічного діапазону АЦП для такого методу формування опорної напруги дорівнює $\Delta D = \frac{2R_2}{R_3}$.

Виконання паралельного аналого-цифрового перетворювача, згідно зі схемою корисної моделі, з використанням двох операційних підсилювачів, які змінюють рівень опорної напруги, що подається на вхід резистивної матриці, залежно від напруги вхідного сигналу $U_{вх}$, дозволяє розширити динамічний діапазон паралельного аналого-цифрового перетворювача без збільшення числа компараторів. Якщо вибрано значення опорів резисторів $R_2 = 5R_3$, то це дає можливість розширити динамічний діапазон паралельного АЦП у 10 разів, тобто на 20 дБ, порівняно з динамічним діапазоном прототипу, який має таку ж кількість компараторів.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Паралельний аналого-цифровий перетворювач, який у випадку p розрядів містить резистивну матрицю, 2^n-1 компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а виходи компараторів під'єднано до відповідних входів блока кодувальної логіки, виходи якого є вихідною розрядною шиною аналого-цифрового перетворювача, який **відрізняється** тим, що в нього введено перший операційний підсилювач, перший, другий та третій резистори, другий операційний підсилювач, четвертий та п'ятий резистори, причому до інвертуального входу першого операційного підсилювача під'єднано перші виводи першого, другого та третього резисторів, а другий вивід першого резистора під'єднано до шини джерела опорної напруги, другий вивід другого резистора під'єднано до шини джерела вхідного сигналу, який підлягає перетворенню, та до неінвертуальних входів лінійки з $m-1$ компараторів, другий вивід третього резистора під'єднано до виходу першого операційного підсилювача та до першого виводу четвертого резистора, другий вивід якого під'єднано до інвертуального входу другого операційного підсилювача та першого виводу п'ятого резистора, другий вивід якого під'єднано до виходу другого операційного підсилювача та до другого входу резистивної матриці, перший вхід якої, а також неінвертувальні входи першого та другого операційних підсилювачів під'єднано до спільної шини пристрою.



Комп'ютерна верстка О. Гергіль

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601