



ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **112224** (13) **U**
(51) МПК (2016.01)
G06F 17/00

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки:	u 2016 05523	(72) Винахідник(и):	Доценко Наталія Володимирівна (UA)
(22) Дата подання заявки:	23.05.2016	(73) Власник(и):	Доценко Наталія Володимирівна,
(24) Дата, з якої є чинними права на корисну модель:	12.12.2016		вул. Танкопія, 14, кв. 15, м. Харків, 61100 (UA)
(46) Публікація відомостей про видачу патенту:	12.12.2016, Бюл.№ 23		

(54) СИСТЕМА ФОРМУВАННЯ КОМАНДИ ПРОЕКТУ

(57) Реферат:

Система формування команди проекту має двійковий лічильник, блок пам'яті, виходи результату, групу інформаційних входів, два виходи пристрою, керуючий вхід, два елемента HI, два елемента I, тригер, k блоків множення векторів, k порогових елементів, причому виходи двійкового лічильника з'єднані з входами блока пам'яті, виходи якого з'єднані з виходами результату та з першими групами входів блоків множення векторів, вихід тригера з'єднаний з другим виходом та через другий елемент HI з першим входом елемента I, керуючий вхід з'єднаний з другим входом елемента I, вихід елемента I з'єднаний з підсумовуючим входом двійкового лічильника, вихід переносу якого з'єднаний з першим виходом та через перший елемент HI з третім входом елемента I, i-та група інформаційних входів з'єднана з другою групою входів i-го блока множення векторів, виходи блоків множення векторів з'єднані з першими входами відповідного порогового елемента, виходи яких з'єднані з входами другого елемента I, вихід якого з'єднаний з входом тригера. Система має другий двійковий лічильник, другий блок пам'яті, другий керуючий вхід, причому другий керуючий вхід з'єднаний з підсумовуючим входом другого двійкового лічильника, виходи якого з'єднані з адресними входами другого блока пам'яті, i-та група виходів другого блока пам'яті з'єднана з другою групою входів i-го порогового елемента ($i=1, \dots, k$).

UA 112224 U

Корисна модель належить до обчислювальної техніки і призначена для вибору оптимального варіанта формування команди проекту при заданих обмеженнях.

Відомий пристрій для рішення логічних рівнянь (а.с. СРСР № 1411768, кл. G06F 15/20, опубл. 23.07.88 р.), що містить двійковий лічильник, блок пам'яті, виходи результату, групу інформаційних входів, два виходи пристрою, керуючий вхід, два елемента HI, елемент I, тригер, групу керуючих входів, схему порівняння, причому виходи двійкового лічильника з'єднані з входами блока пам'яті, виходи якого з'єднані з виходами результату, група керуючих входів з'єднана з першою групою входів схеми порівняння, вихід якої з'єднаний з входом тригера, вихід тригера з'єднаний з другим виходом та через другий елемент HI з'єднаний з першим входом елемента I, керуючий вхід з'єднаний з другим входом елемента I, вихід елемента I з'єднаний з підсумовуючим входом двійкового лічильника, вихід переносу якого з'єднаний з першим виходом та через перший елемент HI з третім входом елемента I.

Недоліком відомого пристрою є обмежені функціональні можливості.

Відомий діагностичний процесор (Патент України № 49639 А, G06F 11/25. Заявл. 14.01.2002; Опубл. 16.09.2002, Бюл. № 9), що містить двійковий лічильник, блок пам'яті, виходи результату, групу інформаційних входів, два виходи пристрою, керуючий вхід, два елемента HI, елемент I, тригер, причому виходи двійкового лічильника з'єднані з входами блока пам'яті, виходи якого з'єднані з виходами результату, вихід тригера з'єднаний з другим виходом та через другий елемент HI з першим входом елемента I, керуючий вхід з'єднаний з другим входом елемента I, вихід елемента I з'єднаний з підсумовуючим входом двійкового лічильника, вихід переносу якого з'єднаний з першим виходом та через перший елемент HI з третім входом елемента I.

Недоліком відомого пристрою є обмежені функціональні можливості.

Найбільш близькою по технічній суті і результату, що досягається, є система формування команди проекту (Патент України № 20818, G06F 17/00. Заявл. 08.08.2006; Опубл. 15.02.2007, Бюл. № 2), що містить двійковий лічильник, блок пам'яті, виходи результату, групу інформаційних входів, два виходи пристрою, керуючий вхід, два елемента HI, два елемента I, тригер, k блоків множення векторів, k порогових елементів, причому виходи двійкового лічильника з'єднані з входами блока пам'яті, виходи якого з'єднані з виходами результату та з першими групами входів блоків множення векторів, вихід тригера з'єднаний з другим виходом та через другий елемент HI з першим входом елемента I, керуючий вхід з'єднаний з другим входом елемента I, вихід елемента I з'єднаний з підсумовуючим входом двійкового лічильника, вихід переносу якого з'єднаний з першим виходом та через перший елемент HI з третім входом елемента I, i-та група інформаційних входів з'єднана з другою групою входів i-го блоку множення векторів, виходи блоків множення векторів з'єднані з першими входами відповідного порогового елемента, виходи яких з'єднані з входами другого елемента I, вихід якого з'єднаний з входом тригера.

Недоліком відомої системи є обмежені функціональні можливості, бо вона формує склад команди проекту тільки для одного варіанта обмежень.

В основу корисної моделі поставлено задачу вдосконалення системи шляхом введення нового складу елементів та нової організації взаємозв'язків між ними, забезпечити ширші функціональні можливості при використанні корисної моделі, а саме - спроможність формувати оптимальні варіанти побудови команди проекту для різних обмежень.

Поставлена задача вирішується тим, що система формування команди проекту, яка має двійковий лічильник, блок пам'яті, виходи результату, групу інформаційних входів, два виходи пристрою, керуючий вхід, два елемента HI, два елемента I, тригер, k блоків множення векторів, k порогових елементів, причому виходи двійкового лічильника з'єднані з входами блока пам'яті, виходи якого з'єднані з виходами результату та з першими групами входів блоків множення векторів, вихід тригера з'єднаний з другим виходом та через другий елемент HI з першим входом елемента I, керуючий вхід з'єднаний з другим входом елемента I, вихід елемента I з'єднаний з підсумовуючим входом двійкового лічильника, вихід переносу якого з'єднаний з першим виходом та через перший елемент HI з третім входом елемента I, i-та група інформаційних входів з'єднана з другою групою входів i-го блоку множення векторів, виходи блоків множення векторів з'єднані з першими входами відповідного порогового елемента, виходи яких з'єднані з входами другого елемента I, вихід якого з'єднаний з входом тригера, згідно з корисною моделлю має другий двійковий лічильник, другий блок пам'яті, другий керуючий вхід, причому другий керуючий вхід з'єднаний з підсумовуючим входом другого двійкового лічильника, виходи якого з'єднані з адресними входами другого блока пам'яті, i-та група виходів другого блоку пам'яті з'єднана з другою групою входів i-го порогового елемента, ($i=1, \dots, k$).

Заявлена система має новий склад елементів та нову організацію взаємозв'язків між ними, тобто містить нову сукупність ознак, які забезпечують нові технічні властивості. Технічний результат, як наслідок цих властивостей - розширені функціональні можливості пристрою, а саме - спроможність формувати оптимальні варіанти побудови команди проекту для різних обмежень.

На кресленні представлена функціональна схема системи формування команди проекту.

Система формування команди проекту має групу інформаційних входів 1, порогові елементи 2, керуючий вхід 3, два виходи 4 та 5 пристрою, виходи результату 6, двійковий лічильник 7, блок пам'яті 8, k блоків множення векторів 9, елемент І 10, два елемента НІ 11, 12, елемент І 13, виходи блока пам'яті 14, тригер 15, другий блок пам'яті 16, другий двійковий лічильник 17, другий керуючий вхід 18, причому виходи двійкового лічильника 7 з'єднані з входами блока пам'яті 8, виходи якого з'єднані з виходами результату 6 та з першими групами входів блоків множення векторів 9, вихід тригера 15 з'єднаний з другим виходом 4 та через другий елемент НІ 12 з'єднаний з першим входом елемента І 13, керуючий вхід 3 з'єднаний з другим входом елемента І 13, вихід елемента І 13 з'єднаний з підсумовуючим входом двійкового лічильника 7, вихід переносу якого з'єднаний з першим виходом та через перший елемент НІ з третім входом елемента І 13, i -та група інформаційних входів 1_i з'єднана з другою групою входів i -го блоку множення векторів 9, виходи яких з'єднані з входами відповідного порогового елемента 2, виходи порогових елементів 2 з'єднані з входами другого елемента І 10, вихід якого з'єднаний з входом тригера 15, другий керуючий вхід 18 з'єднаний з підсумовуючим входом другого двійкового лічильника 17, виходи якого з'єднані з адресними входами другого блока пам'яті 16, i -та група виходів другого блоку пам'яті 16 з'єднана з другою групою входів i -го порогового елемента 2_i , ($i=1, \dots, k$).

Розглянемо роботу системи. При описі роботи введені такі позначення:

n - кількість претендентів,

k - кількість робіт;

$A^i = \{a^i_1, \dots, a^i_n\}$ - двійкове число, що подається на i -ту групу інформаційних входів 1_i , причому $a^i_j = 1$, якщо j -тий претендент може виконувати i -ту роботу, та $a^i_j = 0$ у іншому випадку;

$C = \{c_1, \dots, c_n\}$ - двійкове число, на виходах 14 блока пам'яті 8, яке відображує можливий склад команди проекту, причому $C_i = 1$, якщо i -тий претендент входить у склад команди, та $C_i = 0$ у протилежному випадку.

У блоці пам'яті 8 записані лексикографічно впорядковані значення двійкових чисел C . На інформаційні входи 1 подаються відповідні значення двійкових чисел A .

Спочатку всі елементи пам'яті схеми пристрою знаходяться в стані "0".

На другий керуючий вхід 18 подається імпульс і стан другого двійкового лічильника 17 стає "0...01" і на виходах другого блока пам'яті 16 формуються значення для першої групи обмежень.

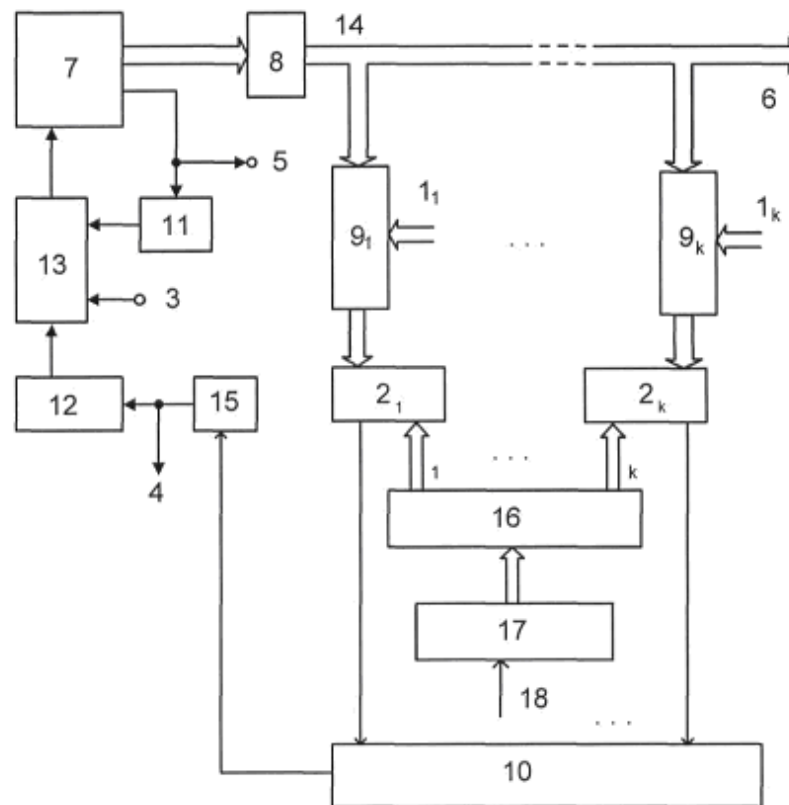
На керуючий вхід 3 подається імпульсна послідовність, при цьому змінюється стан двійкового лічильника 7. Двійкове число на виходах двійкового лічильника 7 є адресою, згідно з якою на виходах 14 блока пам'яті 8 формується відповідне значення числа C .

На виходах 16 блока множення векторів 9 формуються двійкові унітарні n -розрядні коди, що відповідають двійковому числу $a^i_1 * c^i_1, a^i_2 * c^i_2, \dots, a^i_n * c^i_n$. Порогові елементи 2 формують на своєму виході сигнал "1", якщо двійковий код, що надходить на їх перші входи не менше двійкового коду, що надходить на їх другі входи. Якщо на виходах усіх порогових елементів "1" сигнал "1", що відповідає наявності рішення, на виході другого елемента І 10 формується сигнал "1", при цьому тригер 15 переходить у стан "1" і на виході 4 формується сигнал "1", що свідчить про наявність рішення. Якщо розглянутий варіант не є рішенням, то наступний імпульс на керуючому вході 3 переведе двійковий лічильник 7 у наступний стан, і на виходах блока пам'яті 8 формується наступний варіант побудови команди проекту. Коефіцієнт рахунку першого двійкового лічильника 7 дорівнює кількості варіантів побудови команди проекту. Якщо перебрані всі варіанти, але рішення немає, то на виході 5 формується сигнал "1", який про це свідчить. Після отримання рішення на другий керуючий вхід 18 подається наступний імпульс. Стан другого двійкового лічильника 17 стає "0...010" і аналогічно розглядається склад команди проекту для другої групи обмежень.

Таким чином, система послідовно генерує та аналізує варіанти побудови команди проекту із заданим резервом для різних варіантів обмежень.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

- Система формування команди проекту, яка має двійковий лічильник, блок пам'яті, виходи результату, групу інформаційних входів, два виходи пристрою, керуючий вхід, два елемента НІ, два елемента І, тригер, k блоків множення векторів, k порогових елементів, причому виходи двійкового лічильника з'єднані з входами блока пам'яті, виходи якого з'єднані з виходами результату та з першими групами входів блоків множення векторів, вихід тригера з'єднаний з другим виходом та через другий елемент НІ з першим входом елемента І, керуючий вхід з'єднаний з другим входом елемента І, вихід елемента І з'єднаний з підсумовуючим входом двійкового лічильника, вихід переносу якого з'єднаний з першим виходом та через перший елемент НІ з третім входом елемента І, i -та група інформаційних входів з'єднана з другою групою входів i -го блока множення векторів, виходи блоків множення векторів з'єднані з першими входами відповідного порогового елемента, виходи яких з'єднані з входами другого елемента І, вихід якого з'єднаний з входом тригера, яка **відрізняється** тим, що має другий двійковий лічильник, другий блок пам'яті, другий керуючий вхід, причому другий керуючий вхід з'єднаний з підсумовуючим входом другого двійкового лічильника, виходи якого з'єднані з адресними входами другого блока пам'яті, i -та група виходів другого блока пам'яті з'єднана з другою групою входів i -го порогового елемента ($i=1, \dots, k$).



Комп'ютерна верстка Л. Литвиненко

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601