



УКРАЇНА

(19) **UA** (11) **105412** (13) **C2**
(51) МПК (2014.01)
G04F 10/00
G01R 25/00

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

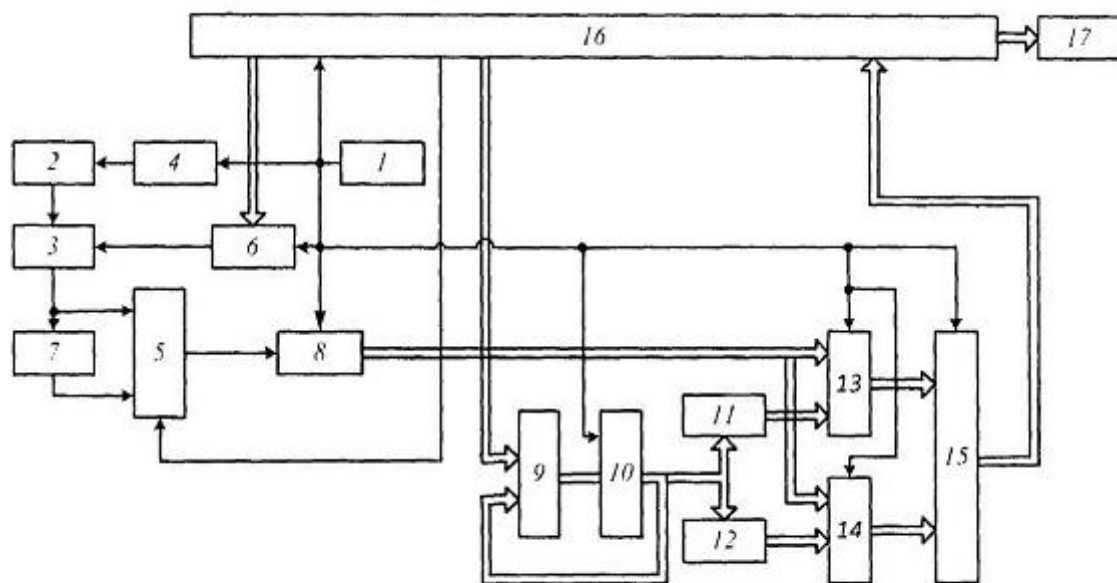
(12) ОПИС ДО ПАТЕНТУ НА ВІНАХІД

(21) Номер заявки: а 2012 09729	(72) Винахідник(и): Баженов Віктор Григорович (UA), Богдан Галина Анатоліївна (UA), Грузін Сергій Валерійович (UA)
(22) Дата подання заявки: 10.08.2012	(73) Власник(и): Баженов Віктор Григорович, просп. Перемоги, 37, буд. 4, кв. 5, м. Київ, 03056 (UA)
(24) Дата, з якої є чинними права на винахід: 12.05.2014	(56) Перелік документів, взятих до уваги експертизою: UA 70199 U; 25.05.2012; UA 98177 C2; 25.04.2012; UA 22077 U; 10.04.2007; SU 1182436 A; 30.09.1985; SU 1226341 A; 23.04.1986; SU 1257558 A1; 15.09.1986; RU 2099721 C1; 20.12.1997; US 2008/0172194 A1; 17.07.2008; GB 1507323; 12.04.1978; GB 684831; 24.12.1952;
(41) Публікація відомостей про заявку: 10.02.2014, Бюл.№ 3	
(46) Публікація відомостей про видачу патенту: 12.05.2014, Бюл.№ 9	

(54) ПРИСТРІЙ ДЛЯ ВИМІРЮВАННЯ ФАЗОВОГО ЧАСУ ЗАТРИМКИ РАДІОІМПУЛЬСНИХ СИГНАЛІВ У ШИРОКОМУ ДІАПАЗОНІ ЧАСТОТ**(57) Реферат:**

Винахід належить до галузі вимірювальної техніки і може бути використаний в ультразвуковому неруйнівному контролі матеріалів, конструкцій та об'єктів, для визначення фазової швидкості УЗ коливань і відповідно визначення фізичних властивостей цих матеріалів, їх якості, залишкового ресурсу різних виробів, втоми та напруженості досліджуваних конструкцій. Пристрій для вимірювання фазового часу затримки радіоімпульсних сигналів у широкому діапазоні частот містить блок керування, блок обробки інформації, цифровий відліковий пристрій, аналогово-цифровий перетворювач (АЦП), аналоговий мультиплексор (АМХ), на входи якого подаються сигнали з об'єкта контролю (ОК). Блок формування радіоімпульсних сигналів містить послідовно з'єднані генератор синхросигналів частоти дискретизації, подільник частоти, формувач імпульсів та модулятор. Також пристрій містить цифровий синтезатор частоти синусоїдального сигналу, генератор синхросигналів частоти дискретизації, цифрові помножувачі кодів P_1 та P_2 , постійні запам'ятовуючі пристроїв синусоїдального ($ПЗП_1$) та косинусоїдального ($ПЗП_2$) сигналів, суматор та регістр. Технічною задачею винаходу є розширення частотного діапазону вимірювальних сигналів.

UA 105412 C2



Винахід належить до галузі вимірювальної техніки і може бути використаний в ультразвуковому неруйнівному контролі матеріалів, конструкцій та об'єктів, для визначення фазової швидкості УЗ коливань і відповідно визначення фізичних властивостей цих матеріалів (модуль Юнга та ін.), їх якості, залишкового ресурсу різних виробів, втоми та напруженості досліджуваних конструкцій.

Найбільш близьким аналогом є пристрій який реалізує спосіб вимірювання фазового часу проходження радіоімпульсних сигналів (див. Патент України на корисну модель № 70199 від 25.05.2012 р.). Даний аналог включає пристрій вимірювання фазового часу проходження радіоімпульсних сигналів з дискретною ортогональною обробкою сигналів, який включає в себе один АЦП, блок формування радіоімпульсних сигналів, блок формування опорних цифрових ортогональних сигналів, та цифровий блок обробки сигналів які засинхронізовані від одного синхрогенератора і який заснований на дискретизації вимірюваного сигналу, перетворенні його в цифрову форму і наступній цифровій обробці з метою знаходження синфазної (синусної) a_s й ортогональної (косинусної) a_c складових цього сигналу, за якими обчислюється фазовий зсув:

$$\varphi = \arctg \frac{a_s}{a_c}$$

. Цей пристрій має високу точність, оскільки операція множення виконується на цифровому рівні.

Недоліком цього пристрою є те, що вимірювання проводиться лише на одній фіксованій частоті, що суттєво обмежує область використання даного пристрою.

В основу пристрою було поставлено задачу розширення частотного діапазону вимірювальних сигналів за рахунок використання блока синтезатора частоти, яким керує блок керування, та введенням блоків регістра та суматора за допомогою яких блоком керування синхронно зі зміною частоти вимірювального сигналу здійснюється зміна частоти опорного(синусного та косинусного) цифрового сигналу.

Поставлена задача вирішується тим, що пристрій для вимірювання фазового часу затримки радіоімпульсних сигналів у широкому діапазоні частот, що містить блок керування, з'єднаний з блоком обробки інформації, цифровий відліковий пристрій, аналогово-цифровий перетворювач (АЦП), вхід якого приєднаний до виходу аналогового мультимплексу (АМХ), на входи якого подаються сигнали з об'єкта контролю (ОК) та блока формування радіоімпульсних сигналів, який містить послідовно з'єднані генератор синхросигналів частоти дискретизації, подільник частоти, формувач імпульсів та модулятор, до другого входу якого підключений вихід цифрового синтезатора частоти синусоїдального сигналу, вхід якого разом із входом дискретизації АЦП з'єднаний з генератором синхросигналів частоти дискретизації, вихід якого також підключено до входів синхронізації блока обробки і помножувачів, вихід модулятора підключено до входу ОК, виходи АЦП з'єднані з першими входами цифрових помножувачів кодів Π_1 та Π_2 другі входи яких з'єднані з виходами постійних запам'ятовуючих пристроїв синусоїдального ($\Pi_3\Pi_1$) та косинусоїдального ($\Pi_3\Pi_2$) сигналів, виходи Π_1 та Π_2 з'єднані з блоком обробки інформації (БО), який відрізняється тим, що в нього додатково введені суматор та регістр, причому блок керування підключено до цифрового входу управління синтезатором частоти, до цифрового відлікового пристрою, до входу управління аналоговим мультимплексом та до одного із входів суматора, вихід якого з'єднаний зі входом регістра, сигнал з виходу якого подається на адресні входи $\Pi_3\Pi_1$ та $\Pi_3\Pi_2$ та на другий вхід суматора, вхід синхронізації регістра з'єднано також з генератором синхросигналів частоти дискретизації.

На кресленні зображена структурна схема пристрою:

1(Γ_0) - генератор сигналів частоти дискретизації, 2 (ΦI) - формувач імпульсів, 3 (M) - модулятор, 4 ($\Pi Ч$) - подільники частоти, 5 (АМХ) - аналоговий мультимплекс, 6 ($C Ч$) - синтезатор частоти, 7 (ОК) - об'єкт контролю, 8 (АЦП) - аналого-цифровий перетворювач, 9 (Σ) - суматор, 10 (RG) - регістр, 11 ($\Pi_3\Pi_1$), і 12 ($\Pi_3\Pi_2$) - постійні запам'ятовуючі пристрої синусоїдального та косинусоїдального сигналів відповідно, 13 (Π_1) і 14 (Π_2) - помножувачі цифрових сигналів, 15 (БО) - блок обробки інформації, 16 (БК) - блок керування, 17 (ЦВП) - цифровий відліковий пристрій.

Принцип роботи пропонованого пристрою полягає в наступному: з генератора синхросигналів 1 (Γ_0) подають імпульси на блок формування радіоімпульсних сигналів, який складається з: 4 ($\Pi Ч$) - подільника частоти, 2 (ΦI) - формувача імпульсів, 3 (M) - модулятора, 6 ($C Ч$) - синтезатора частоти, на виході якого формують випромінюючи радіоімпульси з кратною до частоти синхросигналів частотою заповнення (виконується за допомогою синтезатора частоти $C Ч$, наприклад типу DDS), а також кратним періодом посилок до періоду заповнення (виконується за допомогою $\Pi Ч$ та ΦI). Подільник частоти 4 ($\Pi Ч$) виконує зменшення частоти і таким чином формує частоту посилок радіоімпульсів. Формувач імпульсів 2 (ΦI) задає період проходження імпульсів. На виході синтезатора частоти 6 ($C Ч$) формують періодичний

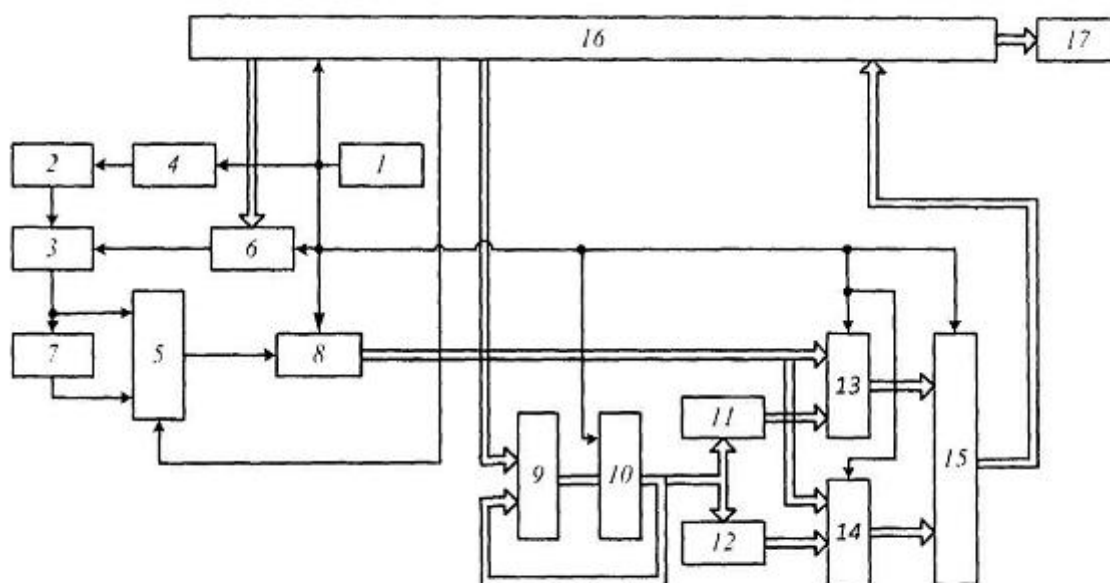
синусоїдальний сигнал, який подається на модулятор 3 (М). З модулятора готовий радіоімпульс подають на об'єкт контролю 7 (ОК). Вимірювання виконується за два етапи. На першому етапі проводять вимірювання початкової фази випромінюваного сигналу, а на другому етапі - визначають фазу вимірюваного сигналу. На першому етапі випромінюваний радіоімпульсний сигнал через аналоговий мультіплексор 5 (АМХ), керований блоком керування 16 (БК), подають на вхід 8 (АЦП), який перетворює випромінюваний радіоімпульсний сигнал в цифрову форму, звідки його подають на перші входи цифрових помножувачів 13 (П₁) і 14 (П₂). Блок формування опорного сигналу складається із блоків суматора 9, регістра 10 та двох ПЗП₁ (11) і ПЗП₂ (12). Коди з ПЗП₁ і ПЗП₂, в яких відповідно зберігають значення синусної та косинусної складових випромінюваного сигналу, синхронно з кодами вибірок АЦП подають відповідно на другі входи цифрових помножувачів цифрових сигналів відповідно 13 (П₁) і 14 (П₂). Цифрові помножувачі окремо виконують операції множення вибірок випромінюваного сигналу від АЦП на коди складових опорного (Sin, Cos) цифрового сигналу, які одночасно синхронно подають на їх відповідні цифрові входи, результати з помножувачів надходять до блока обробки інформації 15 (БО), де виконують фільтрацію отриманих сигналів та розраховують абсолютне значення фази випроміненого радіосигналу ϕ_i . На другому етапі по команді блока керування переключають АМХ в друге положення і на вхід АЦП подають вимірюваний сигнал з виходу ОК і аналогічно першому етапу в БО розраховують абсолютне значення фази вимірювального сигналу ϕ_e тільки в той момент часу, коли значення коду з АЦП перевищить поріг його виявлення, тобто БО, окрім фільтрації отриманих сигналів та обчислення абсолютних значень фази і фазового зсуву отриманого вимірювального сигналу і розрахунку фазового часу затримки, виконує також функцію порогового фільтра. При цьому перший етап визначення початкової фази випромінюваного сигналу проводять одноразово в залежності від типу досліджуваного об'єкта контролю, тому що фаза випромінюваного сигналу синхронізована з частотою дискретизації АЦП фактично завжди фіксована і може змінюватись в невеликих межах від зміни типу об'єкта контролю, тобто вхідного реактивного опору. Потім в блоці керування фазовий час проходження

радіоімпульсних сигналів обчислюють згідно виразу:
$$\tau_\phi = \frac{\phi_e - \phi_i}{\omega}$$
, де ϕ_i - значення фази випромінюваного опорного сигналу в межах від 0 до 2π ; ϕ_e - абсолютне виміряне значення фази вимірюваного сигналу в межах від 0 до 2π в момент часу, коли значення коду з АЦП перевищить поріг його виявлення; ω - частота сигналу. Результат вимірювання з блока керування БК виводять на цифровий відліковий пристрій. По команді (програмно або з клавіатури) БК з'єднаного зі входом керування синтезатора частоти а також з одним із входів суматора синхронно змінюють частоту випромінюваного радіоімпульсного сигналу (в блоці (6) СЧ), та відповідно опорного сигналу. Блок керування може бути виконаним на базі мікроконтролера типу AVR сімейства Mega, а керованим (мікроконтролером) синтезатором може бути наприклад синтезатор типу DDS фірми Analog devices AD-9834. Зміна частоти опорного сигналу відбувається за рахунок того що з ПЗУ з частотою дискретизації АЦП може зчитуватись кожна комірка зі значеннями синусоїдального або косинусоїдального сигналів, якщо на один із входів суматора з блока керування буде подаватись одиниця, то цифровий сигнал на виході ПЗУ представлений в вигляді окремих відліків буде мати мінімальну частоту. Якщо з блока керування на підключений до нього вхід суматора буде заведено число, наприклад, п'ять, то на виході ПЗУ цифровий сигнал буде представлений в вигляді окремих відліків з частотою дискретизації АЦП, але це буде кожен п'ятий відлік, записаний в ПЗУ (в даному випадку) тому частота вихідного сигналу відповідно зростає вп'ятеро, бо при тій же частоті відліків їх кількість зменшиться вп'ятеро. Таким чином змінюючи число на вході суматора підключеного до блока керування можна змінювати частоту опорного сигналу.

ФОРМУЛА ВИНАХОДУ

Пристрій для вимірювання фазового часу затримки радіоімпульсних сигналів у широкому діапазоні частот, що містить блок керування, з'єднаний з блоком обробки інформації, цифровий відліковий пристрій, аналогово-цифровий перетворювач (АЦП), вхід якого приєднаний до виходу аналогового мультіплексора (АМХ) з можливістю подачі на вхід сигналів з об'єкта контролю (ОК) та блока формування радіоімпульсних сигналів, який містить послідовно з'єднані генератор синхросигналів частоти дискретизації, подільник частоти, формувач імпульсів та модулятор, до другого входу якого підключений вихід цифрового синтезатора частоти синусоїдального сигналу, вхід якого разом із входом дискретизації АЦП з'єднаний з генератором синхросигналів частоти дискретизації, вихід якого також підключено до входів синхронізації блока обробки і помножувачів, вихід модулятора підключено до входу ОК, виходи

- АЦП з'єднані з першими входами цифрових помножувачів кодів Π_1 та Π_2 , другі входи яких з'єднані з виходами постійних запам'ятовуючих пристроїв синусоїдального (ПЗП₁) та косинусоїдального (ПЗП₂) сигналів, виходи Π_1 та Π_2 з'єднані з блоком обробки інформації (БО), який **відрізняється** тим, що додатково містить суматор та регістр, причому блок керування підключено до цифрового входу управління синтезатором частоти, до цифрового відлікового пристрою, до входу управління аналоговим мультиплексором та до одного із входів суматора, вихід якого з'єднаний зі входом регістра, вихід якого підключено до адресних входів ПЗП₁ та ПЗП₂ та до другого входу суматора, вхід синхронізації регістра та входи цифрових помножувачів кодів Π_1 та Π_2 з'єднано також з генератором синхросигналів частоти дискретизації.



Комп'ютерна верстка Л. Ціхановська

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601