



УКРАЇНА

(19) UA (11) 77886 (13) C2
(51) МПК (2006)
G05B 19/18
G05B 19/05

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА ВИНАХІД

(54) ПРОГРАМОВАНИЙ ЛОГІЧНИЙ КОНТРОЛЕР

1

(21) а200506855

(22) 11.07.2005

(24) 15.01.2007

(46) 15.01.2007, Бюл. № 1, 2007 р.

(72) Фурман Ілля Олександрович, Бовчалюк Станіслав Ярославович, Малиновський Михайло Леонідович

(73) Фурман Ілля Олександрович, Бовчалюк Станіслав Ярославович, Малиновський Михайло Леонідович

(56) UA 39306 C, 10.02.2002

UA 71200 C, 15.11.2004

SU 1780086 A1, 07.12.1992

RU 2093881 C1, 20.10.1997

(57) Програмований логічний контролер, що містить блоки пам'яті станів, команд, переходів та заборонених станів, лічильник адреси, схему порівняння, блок індикації, вихідний регістр та блок логічного керування, причому перший вхід лічильника адреси (вхід установлення) є першим входом пристрою, другий (інформаційний) вхід якого з'єднаний з першим входом схеми порівняння та входом блока пам'яті переходів, перший вихід якого підключений до першого входу блока логічного керування, перший та другий виходи якого з'єднані

2

з другим та третім входом лічильника адреси, четвертий (інформаційний) вхід якого підключений до другого (інформаційного) виходу блока пам'яті переходів, а вихід лічильника адреси з'єднаний з адресними входами блоків пам'яті станів та команд, а також з першим входом блока індикації, другий вхід якого підключений до першого виходу схеми порівняння, другий вхід якої з'єднаний з першим (інформаційним) виходом блока пам'яті станів, а другий вихід підключений до другого входу блока логічного керування, третій вхід якого з'єднаний з першим виходом блока пам'яті команд, другий (інформаційний) вихід якого підключений до першого (інформаційного) входу вихідного регістра, а також до входу блока пам'яті заборонених станів, перший вихід якого підключений до четвертого входу блока логічного керування, а другий вихід з'єднаний з другим входом вихідного регістра, вихід якого є виходом пристрою, який **відрізняється** тим, що до нього введений блок вибору операції, перший і другий виходи якого підключені до третього і четвертого входу схеми порівняння, а вхід з'єднаний з другим виходом блока пам'яті станів.

Винахід належить до автоматики, а точніше до пристроїв програмно-логічного керування об'єктами дискретної циклічної дії.

Відомий програмований логічний контролер [Патент України 39306 А, МПК G05B19/18. Опубл. 15.06.2001, Бюл. № 5], який є пристроєм керування паралельної дії і містить блоки пам'яті станів, команд та переходів, лічильник адреси, схему порівняння, блок індикації та блок логічного керування, причому перший вхід лічильника адреси (вхід установлення) є першим входом пристрою, другий (інформаційний) вхід якого з'єднано з першим входом схеми порівняння та входом блоку пам'яті переходів, перший вихід якого підключений до першого входу блоку логічного керування, перший та другий виходи якого з'єднані з другим та третім входом лічильника адреси, четвертий (інформа-

ційний) вхід якого підключено до другого (інформаційного) виходу блоку пам'яті переходів, а вихід лічильника адреси з'єднано з адресними входами блоків пам'яті станів та команд, а також з першим входом блоку індикації, другий вхід якого підключений до першого виходу схеми порівняння, другий вхід якої з'єднано з виходом блоку пам'яті станів, а другий вихід підключено до другого входу блоку логічного керування, третій вхід якого з'єднано з першим виходом блоку пам'яті команд.

Аналог забезпечує програмне керування об'єктами як з детермінованою, так і з випадковою послідовністю операцій, що виконуються шляхом паралельного (одночасного) аналізу всіх можливих комбінацій умов переходів, чим досягається велика швидкодія пристрою, однак характеризується двома серйозними недоліками. Перший не-

(13) C2

(11) 77886

(19) UA

долік полягає в тому, що у пристрої відсутній контроль можливої видачі їм заборонених комбінацій вихідних сигналів. Другий недолік полягає в тому, що у пристрої перехід до наступного кроку програми може відбуватися тільки при співпадінні всіх фактичних станів датчиків циклу з їх очікуваними значеннями, що записані в і-му рядку блоку пам'яті станів (тобто схема порівняння може виконувати тільки логічну операцію "І"), але при керуванні технологічними агрегатами перехід до наступного кроку програми дуже часто необхідно виконувати при наявності на вході схеми порівняння сигналу хоча б від одного з датчиків, спрацювання яких очікується на і-му рядку програми, тобто з'являється необхідність виконання логічної операції "АБО".

Найбільш близьким за сукупністю ознак до пропонованого винаходу є програмований логічний контролер [Патент України 71200 А, МПК G05B19/18. Опубл. 15.11.2004, Бюл. № 11], що містить блоки пам'яті станів, команд, переходів та заборонених станів, лічильник адреси, схему порівняння, блок індикації, вихідний регістр та блок логічного керування, причому перший вхід лічильника адреси (вхід устанавлення) є першим входом пристрою, другий (інформаційний) вхід якого з'єднаний з першим входом схеми порівняння та входом блоку пам'яті переходів, перший вихід якого підключений до першого входу блоку логічного керування, перший та другий виходи якого з'єднані з другим та третім входом лічильника адреси, четвертий (інформаційний) вхід якого підключений до другого (інформаційного) виходу блоку пам'яті переходів, а вихід лічильника адреси з'єднаний з адресними входами блоків пам'яті станів та команд, а також з першим входом блоку індикації, другий вхід якого підключений до першого виходу схеми порівняння, другий вхід якої з'єднаний з виходом блоку пам'яті станів, а другий вихід підключений до другого входу блоку логічного керування, третій вхід якого з'єднаний з першим виходом блоку пам'яті команд, другий (інформаційний) вихід якого підключений до першого (інформаційного) входу вихідного регістру, вихід якого є виходом пристрою, а також до входу блоку пам'яті заборонених станів, перший вихід якого підключений до четвертого входу блоку логічного керування, а другий вихід з'єднаний з другим входом вихідного регістру, в якому повністю усунуто перший недолік аналога: контролюється поява на виході програмованого логічного контролера заборонених комбінацій вихідних сигналів і у випадку наявності таких блокується їх подання на виконавчі механізми керованого об'єкта.

Причини, які перешкоджають досягненню прототипом очікуваного технічного результату, полягають в наступному: у пристрої відсутня можливість переходу до наступного кроку програми при співпадінні стану окремого датчика зі станом одного із множини датчиків, спрацювання яких очікується на даному кроці циклу, тобто відсутня можливість виконання логічної операції "АБО" у схемі порівняння, що значно обмежує функціональні можливості пристрою.

В основу винаходу поставлено задачу вдосконалення структури програмованого логічного конт-

ролера шляхом введення додаткового блоку та додаткових зв'язків, що забезпечують можливість виконувати у схемі порівняння на вибір логічну операцію "І" або логічну операцію "АБО" в залежності від вимог алгоритму керування на визначеному кроці програми.

Реалізація поставленої задачі досягається тим, що у програмований логічний контролер, що містить блоки пам'яті станів, команд, переходів та заборонених станів, лічильник адреси, схему порівняння, блок індикації, вихідний регістр та блок логічного керування, причому перший вхід лічильника адреси (вхід устанавлення) є першим входом пристрою, другий (інформаційний) вхід якого з'єднаний з першим входом схеми порівняння та входом блоку пам'яті переходів, перший вихід якого підключений до першого входу блоку логічного керування, перший та другий виходи якого з'єднані з другим та третім входом лічильника адреси, четвертий (інформаційний) вхід якого підключений до другого (інформаційного) виходу блоку пам'яті переходів, а вихід лічильника адреси з'єднаний з адресними входами блоків пам'яті станів та команд, а також з першим входом блоку індикації, другий вхід якого підключений до першого виходу схеми порівняння, другий вхід якої з'єднаний з першим (інформаційним) виходом блоку пам'яті станів, а другий вихід підключений до другого входу блоку логічного керування, третій вхід якого з'єднаний з першим виходом блоку пам'яті команд, другий (інформаційний) вихід якого підключений до першого (інформаційного) входу вихідного регістру, а також до входу блоку пам'яті заборонених станів, перший вихід якого підключений до четвертого входу блоку логічного керування, а другий вихід з'єднаний з другим входом вихідного регістру, вихід якого є виходом пристрою, згідно винаходу введений блок вибору операції, перший і другий виходи якого підключені до третього і четвертого входу схеми порівняння, а вхід з'єднаний з другим виходом блоку пам'яті станів.

Введення вказаних ознак дозволяє обирати логічну операцію "І" чи "АБО", що виконується схемою порівняння, в залежності від того, яким чином відбувається перехід до наступного кроку програми - при співпадінні всіх фактичних станів датчиків циклу з їх очікуваними значеннями (логічна операція 1), або при наявності сигналу хоча б від одного з датчиків (логічна операція АБО), спрацювання яких очікується на і-му рядку програми (наприклад від сигналу аварійної зупинки обладнання).

На фіг. наведена блок-схема запропонованого пристрою.

Пристрій містить блок індикації 1, схему порівняння 2, блок вибору операції 3, блок логічного керування 4, блоки пам'яті станів 5, переходів 7 та команд 8, лічильник адреси 6, блок пам'яті заборонених станів 9 та вихідний регістр 10, причому перший вхід лічильника адреси 6 (вхід устанавлення) є першим входом пристрою, другий (інформаційний) вхід якого з'єднано з першим входом схеми порівняння 2 та входом блоку пам'яті переходів 7, перший вихід якого підключений до першого входу блоку логічного керування 4, перший та другий виходи якого з'єднані з другим та третім

виходом лічильника адреси 6, четвертий (інформаційний) вхід якого підключено до другого (інформаційного) виходу блоку пам'яті переходів 7. Вихід лічильника адреси 6 з'єднано з адресними входами блоків пам'яті станів 5 та команд 8, а також з першим входом блоку індикації 1, другий вхід якого підключений до першого виходу схеми порівняння 2, другий вхід якої з'єднано з першим (інформаційним) виходом блоку пам'яті станів 5, другий вихід якого підключений до входу блоку вибору операції 3, перший і другий виходи якого з'єднані з третім та четвертим входами схеми порівняння 2. Другий вихід схеми порівняння 2 підключено до другого входу блоку логічного керування 4, третій вхід якого з'єднано з першим виходом блоку пам'яті команд 8. Перший вхід вихідного регістру 10 з'єднано з другим (інформаційним) виходом блоку пам'яті команд 8 та входом блоку пам'яті заборонених станів 9, перший вихід якого підключено до четвертого входу блоку логічного керування 4, а другий вихід з'єднано з другим входом вихідного регістру 10, вихід якого є виходом пристрою.

Блок 5 пам'яті станів та блок 8 пам'яті команд призначені для зберігання програми (яка в загальному випадку складається із k підпрограм) керування циклом роботи об'єкта, що обслуговується. Програма керування циклом у запропонованому контролері являє собою послідовність рядків, кожний з яких складається з двох частин: 1) комбінацій команд на вмикання та вимикання m механізмів; 2) комбінацій станів, в які повинні прийти n датчиків у результаті спрацювання m механізмів, при цьому до блоку 8 пам'яті команд записується послідовність комбінацій команд на вмикання та вимикання механізмів, а до блоку 5 пам'яті станів - послідовність комбінацій станів, до яких повинні прийти датчики, які фіксують положення механізмів в результаті виконання відповідних команд. Причому в кожному рядку блоку 8 пам'яті команд один розряд виділений для програмування ознаки кінця програми (підпрограми) - КП, а у кожному рядку блоку 5 пам'яті станів один розряд виділений для програмування типу операції -ТО. Адресація блоків 5 і 8 здійснюється паралельно за допомогою лічильника адреси 6. Блок 7 пам'яті переходів призначений для зберігання та відпрацювання програми вибору початкових адрес підпрограм, які записані у блоках 5 та 8 пам'яті станів та команд. Блок вибору операції 3 формує сигнали І та АБО для керування роботою схеми порівняння 2 в залежності від сигналу типу операції ТО. Схема порівняння 2 призначена для паралельного (одночасного) порівняння комбінацій фактичних станів датчиків циклу з їх очікуваними значеннями, які записані в i -му рядку блоку 5 станів, при чому для формування команди еквівалентності Е при наявності сигналу І виконується операція логічного множення "І", а при наявності сигналу АБО виконується операція логічного додавання "АБО". Блок логічного керування 4 в залежності від комбінацій сигналів на його входах здійснює логічне керування роботою лічильника адреси 6.

Блок 9 пам'яті заборонених станів призначений для зберігання заборонених комбінацій вихідних сигналів контролера. Вихідний регістр 10 тим-

часово зберігає комбінації вихідних сигналів та блокує видачу заборонених комбінацій вихідних сигналів.

Запропонований пристрій може бути побудований, наприклад, на програмованих логічних інтегральних схемах (ПЛІС), з використанням програмного пакету MAX+plus II 10.0 BASELINE.

Програмований логічний контролер працює наступним чином. Установлення його в початковий стан здійснюється за допомогою зовнішнього імпульсного сигналу початкового установлення ПУ, який обнуляє лічильник адреси 6. Процес відпрацювання керуючої програми складається з двох етапів: 1) аналіз комбінацій станів датчиків умов переходів (станів зовнішнього середовища) та формування початкової адреси підпрограми; 2) власне відпрацювання вибраної підпрограми, причому аналіз станів зовнішнього середовища здійснюється паралельно та незалежно від відпрацювання підпрограми.

До блоку вибору операції 3 записуються наступні логічні рівняння $I = \overline{TO}$, $ABO = TO$. Якщо на певному кроці керуючої програми необхідно порівнювати фактичний стан всіх датчиків циклу з їх очікуваними значеннями, то в останній стовпчик i -го рядку, що записаний до блоку 5 пам'яті станів записується команда $TO=0$ і блок вибору операції 3 формує сигнал $I=1$. Цей сигнал перемикає схему порівняння 2 на реалізацію логічної операції "І", тобто сигнал еквівалентності Е на її виході з'явиться лише у випадку співпадіння всіх фактичних станів датчиків циклу з їх очікуваними значеннями, що записані в i -му рядку блоку пам'яті станів 5. Якщо на i -му кроці виконання керуючої програми для переходу до наступного кроку циклу достатньо наявності сигналу хоча б від одного датчика серед множини датчиків, спрацювання яких очікується на i -му рядку, то в останній стовпчик i -го рядку, що записаний до блоку 5 пам'яті станів записується команда $TO=1$ і блок вибору операції 3 формує сигнал $ABO=1$, цей сигнал перемикає схему порівняння 2 на реалізацію логічної операції "АБО".

В останньому рядку кожної підпрограми, а також у нульовому рядку програми записується тільки ознака кінця підпрограми КП, яка використовується як дозвіл переходу пристрою до відпрацювання будь-якої із записаних у блоках 5 та 8 підпрограм.

Вибір початкової адреси підпрограми здійснюється за допомогою блоку 7 пам'яті переходів, який у разі виникнення на його вході однієї із запрограмованих комбінацій встановлює лічильник адреси 6 у відповідний даній комбінації стан. До блоку логічного керування 4 записуються такі логічні рівняння:

$$KP + PR1 + PR2 = A$$

$$E \cdot KP \cdot PR1 \cdot PR2 = +1$$

де КП - ознака кінця підпрограми;

PR1 - ознака переривання від блоку 7 пам'яті переходів;

PR2 - ознака переривання від блоку 9 пам'яті заборонених станів;

A - початкова адреса підпрограми;

E - сигнал еквівалентності з другого виходу схеми порівняння 2;

+1 - сигнал, за яким лічильник адреси 6 адресує блоки пам'яті станів 5 та команд 8 до наступного рядка.

Якщо стає істинним логічне рівняння $KП=A$, то на другому виході вузла логічного керування

4 з'являється сигнал "Адреса" [А], за яким лічильник адреси 6 здійснює переадресацію блоків 5 та

8 пам'яті станів та команд на першу адресу вибраної підпрограми.

Якщо стає істинним логічне рівняння $\overline{ЕКП} \cdot \overline{ПР1} \cdot \overline{ПР2} = +1$, то на першому виході блоку логічного керування 4 з'являється сигнал "+1", за яким лічильник адреси 6 адресує блоки 5 та 8 пам'яті станів та команд до наступного (i+1) рядка.

Якщо на будь-якому кроці підпрограми станеться вихід з ладу виконавчого механізму або датчика (який не призводить до аварійної ситуації), перехід до наступного рядка підпрограми не відбувається, тому що не спрацьовує схема порівняння 2, з першого виходу якої на другий вхід блоку індикації 1 видається інформація про нееквівалентність стану i-го датчика (датчиків) запрограмованому (запрограмованим) на даному рядку підпрограми. Крім того стан лічильника адреси 6 (номер рядка підпрограми) видається до першого входу блоку індикації 1. Вказана інфор-

мація може бути використана для автоматичної діагностики керованого об'єкта.

У разі виходу з ладу механізмів або датчиків можливе виникнення заборонених комбінацій станів механізмів, при яких у керованому об'єкті можуть з'являтися аварійні ситуації, які потребують негайного втручання в процес керування. Для реакції пристрою на ці аварійні ситуації один з виходів блоку 7 пам'яті переходів виділений для фіксації та видачі на перший вхід блоку логічного керування 4 сигналу ознаки переривання ПР1 (при цьому стає істинним логічне рівняння $ПР1=A$), в результаті чого лічильник адреси 6 без очікування кінця відпрацювання робочої підпрограми, переадресує блоки 5 та 8 пам'яті станів та команд до початкової адреси підпрограми переривання 1.

У випадку виникнення відмови у роботі контролера та появи на другому (інформаційному) виході блоку пам'яті команд 8 забороненої комбінації вихідних сигналів блок 9 пам'яті заборонених станів сигналом БВ (блокування виходів) забороняє подачу цих команд на вихід пристрою і видає до блоку логічного керування 4 сигнал ознаки переривання ПР2 (при цьому стає істинним логічне рівняння $ПР2 = A$), в результаті чого лічильник адреси переадресує блоки 5 та 8 пам'яті станів та команд до початкової адреси підпрограми переривання 2.

