



УКРАЇНА

(19) UA

(11) 71200

(13) C2

(51) МПК (2006)

G05B 19/05

G06F 9/00

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІОПИС  
ДО ПАТЕНТУ НА ВІНАХІД

(54) ПРОГРАМОВАНІЙ ЛОГІЧНИЙ КОНТРОЛЕР

1

2

(21) 20031210864

(22) 01.12.2003

(24) 15.05.2006

(46) 15.05.2006, Бюл. № 5, 2006 р.

(72) Фурман Ілля Олександрович, Бовчалюк Станіслав Ярославович, Малиновський Михайло Леонідович

(73) Фурман Ілля Олександрович, Бовчалюк Станіслав Ярославович, Малиновський Михайло Леонідович

(56) UA 39306 C2, 15.10.2002

UA 56476 C2, 15.05.2003

SU 1302242 A1, 07.04.1987

(57) Програмований логічний контролер, що містить блоки пам'яті станів, команд та переходів, лічильник адреси, схему порівняння, блок індикації та блок логічного керування, причому перший вхід лічильника адреси (вхід установлення) є першим входом пристрою, другий (інформаційний) вхід якого з'єднаний з першим входом схеми порівняння та входом блока пам'яті переходів, перший вихід якого підключений до першого входу блока

логічного керування, перший та другий виходи якого з'єднані з другим та третім входом лічильника адреси, четвертий (інформаційний) вхід якого підключений до другого (інформаційного) виходу блока пам'яті переходів, а вихід лічильника адреси з'єднаний з адресними входами блоків пам'яті станів та команд, а також з першим входом блока індикації, другий вхід якого підключений до першого виходу схеми порівняння, другий вхід якої з'єднаний з виходом блока пам'яті станів, а другий вихід підключений до другого входу блока логічного керування, третій вхід якого з'єднаний з першим виходом блока пам'яті команд, який **відрізняється** тим, що до нього введені блок пам'яті заборонених станів та вихідний регістр, вихід якого є виходом пристрою, а перший вхід з'єднаний з другим (інформаційним) виходом блока пам'яті команд та входом блока пам'яті заборонених станів, перший вихід якого підключений до четвертого входу блока логічного керування, а другий вихід з'єднаний з другим входом вихідного регістру.

Винахід належить до автоматики, а точніше до пристроїв програмно-логічного керування об'єктами дискретної циклічної дії.

Відомий програмований логічний контролер [а.с. 1302242 СРСР, 30.12.85, G05B19/18, опубл.07.04.97, Бюл. №13], який є пристроєм керування паралельної дії і містить блоки пам'яті станів та команд, лічильник адреси, схему порівняння та блок індикації, причому перший вхід лічильника адреси (вхід установлення) є першим входом пристрою, інформаційний вихід лічильника адреси підключений до адресних входів блоків пам'яті станів та команд, а також до першого входу блоку індикації, другий вхід якого з'єднано з першим виходом схеми порівняння, перший вхід якої з'єднаний з інформаційним виходом блоку пам'яті станів, другий вхід схеми порівняння є другим входом пристрою, виходом якого є перший (інформаційний) вихід блоку пам'яті команд.

Аналог забезпечує програмне керування об'єктами як з детермінованою, так і з випадковою послідовністю операцій, що виконуються, однак характеризується двома серйозними недоліками. Перший недолік полягає в тому, що аналіз можливих комбінацій умов переходів здійснюється послідовно, умова за умовою, шляхом сканування певної області пам'яті, в результаті чого тривалість циклу сканування знаходиться у прямій залежності від кількості комбінацій умов переходів, що обмежує швидкодію пристрою. Другий недолік полягає в тому, що у пристрої відсутній контроль можливої видачі їм заборонених комбінацій вихідних сигналів.

Найбільш близьким за сукупністю ознак до пропонованого винаходу є програмований логічний контролер [Патент України 39306 А, МПК G05B19/18. Опубл. 15.06.2001, Бюл. №5], що містить блоки пам'яті станів, команд та переходів, лічильник адреси, схему порівняння, блок індикації

(13) C2

(11) 71200

(19) UA

та блок логічного керування, причому перший вхід лічильника адреси (вхід устанавлення) є першим входом пристрою, другий (інформаційний) вхід якого з'єднано з першим входом схеми порівняння та входом блоку пам'яті переходів, перший вихід якого підключений до першого входу блоку логічного керування, перший та другий виходи якого з'єднані з другим та третім входом лічильника адреси, четвертий (інформаційний) вхід якого підключено до другого (інформаційного) виходу блоку пам'яті переходів, а вихід лічильника адреси з'єднано з адресними входами блоків пам'яті станів та команд, а також з першим входом блоку індикації, другий вхід якого підключений до першого виходу схеми порівняння, другий вхід якої з'єднано з виходом блоку пам'яті станів, а другий вихід підключено до другого входу блоку логічного керування, третій вхід якого з'єднано з першим виходом блоку пам'яті команд, в якому повністю усунуто перший недолік аналога: вдосконалено структуру програмованого логічного контролера шляхом застосування паралельного (одночасного) аналізу всіх можливих комбінацій умов переходів і забезпечено підвищення швидкодії пристрою.

Причини, які перешкоджають досягненню прототипом очікуваного технічного результату, полягають в наступному: у пристрої відсутній контроль можливої видачі їм заборонених комбінацій вихідних сигналів у випадку виникнення відмови у роботі контролера.

В основу винаходу поставлено задачу вдосконалення структури програмованого логічного контролера шляхом введення контролю видачі заборонених комбінацій вихідних сигналів.

Реалізація поставленої задачі досягається тим, що у програмований логічний контролер, що містить блоки пам'яті станів, команд та переходів, лічильник адреси, схему порівняння, блок індикації та блок логічного керування, причому перший вхід лічильника адреси (вхід устанавлення) є першим входом пристрою, другий (інформаційний) вхід якого з'єднаний з першим входом схеми порівняння та входом блоку пам'яті переходів, перший вихід якого підключений до першого входу блоку логічного керування, перший та другий виходи якого з'єднані з другим та третім входом лічильника адреси, четвертий (інформаційний) вхід якого підключений до другого (інформаційного) виходу блоку пам'яті переходів, а вихід лічильника адреси з'єднаний з адресними входами блоків пам'яті станів та команд, а також з першим входом блоку індикації, другий вхід якого підключений до першого виходу схеми порівняння, другий вхід якої з'єднаний з виходом блоку пам'яті станів, а другий вихід підключений до другого входу блоку логічного керування, третій вхід якого з'єднаний з першим виходом блоку пам'яті команд, згідно винаходу введені блок пам'яті заборонених станів та вихідний регістр, вихід якого є виходом пристрою, а перший вхід з'єднаний з другим (інформаційним) виходом блоку пам'яті команд та входом блоку пам'яті заборонених станів, перший вихід якого підключений до четвертого входу блоку логічного керування, а другий вихід з'єднаний з другим входом вихідного регістру.

Введення вказаних ознак дозволяє контролювати появу на виході програмованого логічного контролера заборонених комбінацій вихідних сигналів і у випадку наявності таких блокувати їх подання на виконавчі механізми керованого об'єкта та переводити контролер в режим обробки аварійного переривання.

На фіг. наведена блок-схема запропонованого пристрою.

Пристрій містить блок індикації 1, схему порівняння 2, блок логічного керування 3, блоки пам'яті станів 4, переходів 6 та команд 7, лічильник адреси 5, блок пам'яті заборонених станів 8 та вихідний регістр 9, причому перший вхід лічильника адреси 5 (вхід устанавлення) є першим входом пристрою, другий (інформаційний) вхід якого з'єднано з першим входом схеми порівняння 2 та входом блоку пам'яті переходів 6, перший вихід якого підключений до першого входу блоку логічного керування 3, перший та другий виходи якого з'єднані з другим та третім входом лічильника адреси 5, четвертий (інформаційний) вхід якого підключено до другого (інформаційного) виходу блоку пам'яті переходів 6. Вихід лічильника адреси 5 з'єднано з адресними входами блоків пам'яті станів 4 та команд 7, а також з першим входом блоку індикації 1, другий вхід якого підключений до першого виходу схеми порівняння 2, другий вхід якої з'єднано з виходом блоку пам'яті станів 4. Другий вихід схеми порівняння 2 підключено до другого входу блоку логічного керування 3, третій вхід якого з'єднано з першим виходом блоку пам'яті команд 7. Перший вхід вихідного регістру 9 з'єднано з другим (інформаційним) виходом блоку пам'яті команд 7 та входом блоку пам'яті заборонених станів 8, перший вихід якого підключено до четвертого входу блоку логічного керування 3, а другий вихід з'єднано з другим входом вихідного регістру 9, вихід якого є виходом пристрою.

Блок 4 пам'яті станів та блок 7 пам'яті команд призначені для зберігання програми (яка в загальному випадку складається із  $k$  підпрограм) керування циклом роботи об'єкта, що обслуговується. Програма керування циклом у запропонованому контролері являє собою послідовність рядків, кожний з яких складається з двох частин: 1) комбінацій команд на вмикання та вимикання  $m$  механізмів; 2) комбінацій станів, в які повинні прийти  $n$  датчиків у результаті спрацювання  $m$  механізмів, при цьому до блоку 7 пам'яті команд записується послідовність комбінацій команд на вмикання та вимикання механізмів, а до блоку 4 пам'яті станів - послідовність комбінацій станів, до яких повинні прийти датчики, які фіксують положення механізмів в результаті виконання відповідних команд. Причому в кожному рядку блоку 7 пам'яті команд один розряд виділений для програмування ознаки кінця програми (підпрограми) - КГП.

Адресація блоків 4 і 7 здійснюється паралельно за допомогою лічильника адреси 5. Блок 6 пам'яті переходів призначений для зберігання та відпрацьовування програми вибору початкових адрес підпрограм, які записані у блоках 4 та 7 пам'яті станів та команд. Схема порівняння 2 призначена для паралельного (одночасного) порівняння комбінацій фактичних станів датчиків циклу з їх

очікуваними значеннями, які записані в і-му рядку блоку 4 пам'яті станів. Блок логічного керування 3 в залежності від комбінацій сигналів на його входах здійснює логічне керування роботою лічильника адреси 5.

Блок 8 пам'яті заборонених станів призначений для зберігання заборонених комбінацій вихідних сигналів контролера. Вихідний регістр 9 призначений для тимчасового зберігання комбінацій вихідних сигналів та блокування видачі заборонених комбінацій вихідних сигналів.

Запропонований пристрій може бути побудований, наприклад, на програмованих логічних інтегральних схемах (ПЛІС), з використанням програмного пакету MAX+plus II 10.0 BASELINE.

Програмований логічний контролер працює наступним чином. Установлення його в початковий стан здійснюється за допомогою зовнішнього імпульсного сигналу початкового установлення ПУ, який обнуляє лічильник адреси 5. Процес відпрацювання керуючої програми складається з двох етапів: 1) аналіз комбінацій станів датчиків умов переходів (станів зовнішнього середовища) та формування початкової адреси підпрограми; 2) власне відпрацювання вибраної підпрограми, причому аналіз станів зовнішнього середовища здійснюється паралельно та незалежно від відпрацювання підпрограми.

В останньому рядку кожної підпрограми, а також у нульовому рядку програми записується тільки ознака кінця підпрограми КП, яка використовується як дозвіл переходу пристрою до відпрацювання будь-якої із записаних у блоках 4 та 7 підпрограм.

Вибір початкової адреси підпрограми здійснюється за допомогою блоку 6 пам'яті переходів, який у разі виникнення на його вході однієї із запрограмованих комбінацій встановлює лічильник адреси 5 у відповідний даній комбінації стан. До вузла логічного керування 3 записуються такі логічні рівняння;

$$КП + ПР1 + ПР2 = А,$$

$$Е \cdot \overline{КП} \cdot \overline{ПР1} \cdot \overline{ПР2} = +1,$$

де КП - ознака кінця підпрограми;

ПР1 - ознака переривання від блоку 6 пам'яті переходів;

ПР2 - ознака переривання від блоку 8 пам'яті заборонених станів;

А - початкова адреса підпрограми;

Е - сигнал еквівалентності з другого виходу схеми порівняння 2;

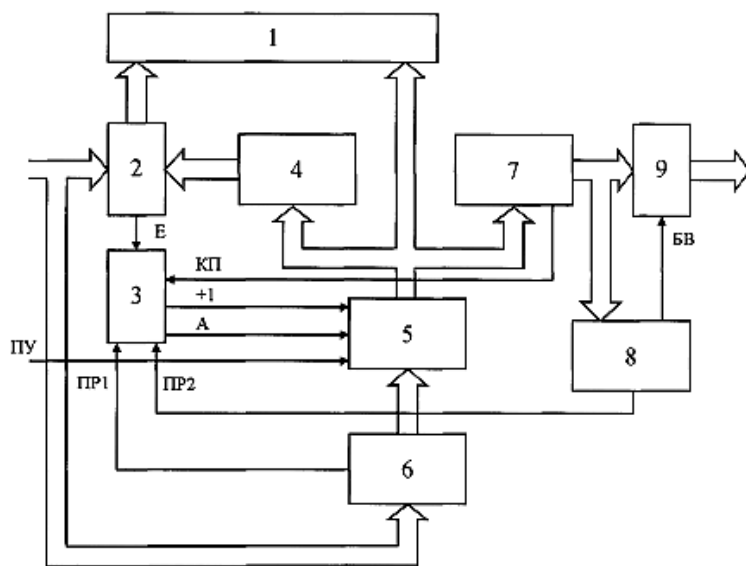
+1 - сигнал, за яким лічильник адреси 5 адресує блоки пам'яті станів 4 та команд 7 до наступного рядка.

Якщо істинне логічне рівняння  $КП = А$ , то на другому виході вузла логічного керування 3 з'являється сигнал "Адреса" (А), за яким лічильник адреси 5 здійснює переадресацію блоків 4 та 7 пам'яті станів та команд на першу адресу вибраної підпрограми. Якщо істинне логічне рівняння  $Е \cdot \overline{КП} \cdot \overline{ПР1} \cdot \overline{ПР2} = +1$ , то на першому виході вузла логічного керування 3 з'являється сигнал "+1", за яким лічильник адреси 5 адресує блоки 4 та 7 пам'яті станів та команд до наступного (i+1) рядка.

Якщо на будь-якому кроці підпрограми станеться вихід з ладу виконавчого механізму або датчика (який не призводить до аварійної ситуації), перехід до наступного рядка підпрограми не відбувається, тому що не спрацює схема порівняння 2, з першого виходу якої на другий вхід блоку індикації 1 видається інформація про нееквівалентність стану i-го датчика (датчиків) запрограмованому (запрограмованим) на даному рядку підпрограми. Крім того стан лічильника адреси 5 (номер рядка підпрограми) видається до першого входу блоку індикації 1. Вказана інформація може бути використана для автоматичної діагностики керованого об'єкта.

У разі виходу з ладу механізмів або датчиків можливе виникнення заборонених комбінацій станів механізмів, при яких у керованому об'єкті можуть з'являтися аварійні ситуації, які потребують негайного втручання в процес керування. Для реакції пристрою на ці аварійні ситуації один з виходів блоку 6 пам'яті переходів виділений для фіксації та видачі на третій вхід блоку логічного керування 3 сигналу ознаки переривання ПР1 (при цьому істинне логічне рівняння  $ПР1 = А$ ), в результаті чого лічильник адреси 5 без очікування кінця відпрацювання робочої підпрограми, переадресовує блоки 4 та 7 пам'яті станів та команд до початкової адреси підпрограми переривання 1.

У випадку виникнення відмови у роботі контролера та появи на другому (інформаційному) виході блоку пам'яті команд 7 забороненої комбінації вихідних сигналів блок 8 пам'яті заборонених станів сигналом БВ (блокування виходів) забороняє подачу цих сигналів на вихід пристрою і видає до блоку логічного керування 3 сигнал ознаки переривання ПР2 (при цьому істинне логічне рівняння  $ПР2 = А$ ), в результаті чого лічильник адреси переадресовує блоки 4 та 7 пам'яті станів та команд до початкової адреси підпрограми переривання 2.



Фиг.