



МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

УКРАЇНА

(19) UA

(11) 120363

(13) U

(51) МПК

G06F 7/50 (2006.01)

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2017 05142**

(22) Дата подання заявки: **26.05.2017**

(24) Дата, з якої є чинними
права на корисну
модель: **25.10.2017**

(46) Публікація відомостей
про видачу патенту: **25.10.2017, Бюл.№ 20**

(72) Винахідник(и):

Білан Степан Миколайович (UA)

(73) Власник(и):

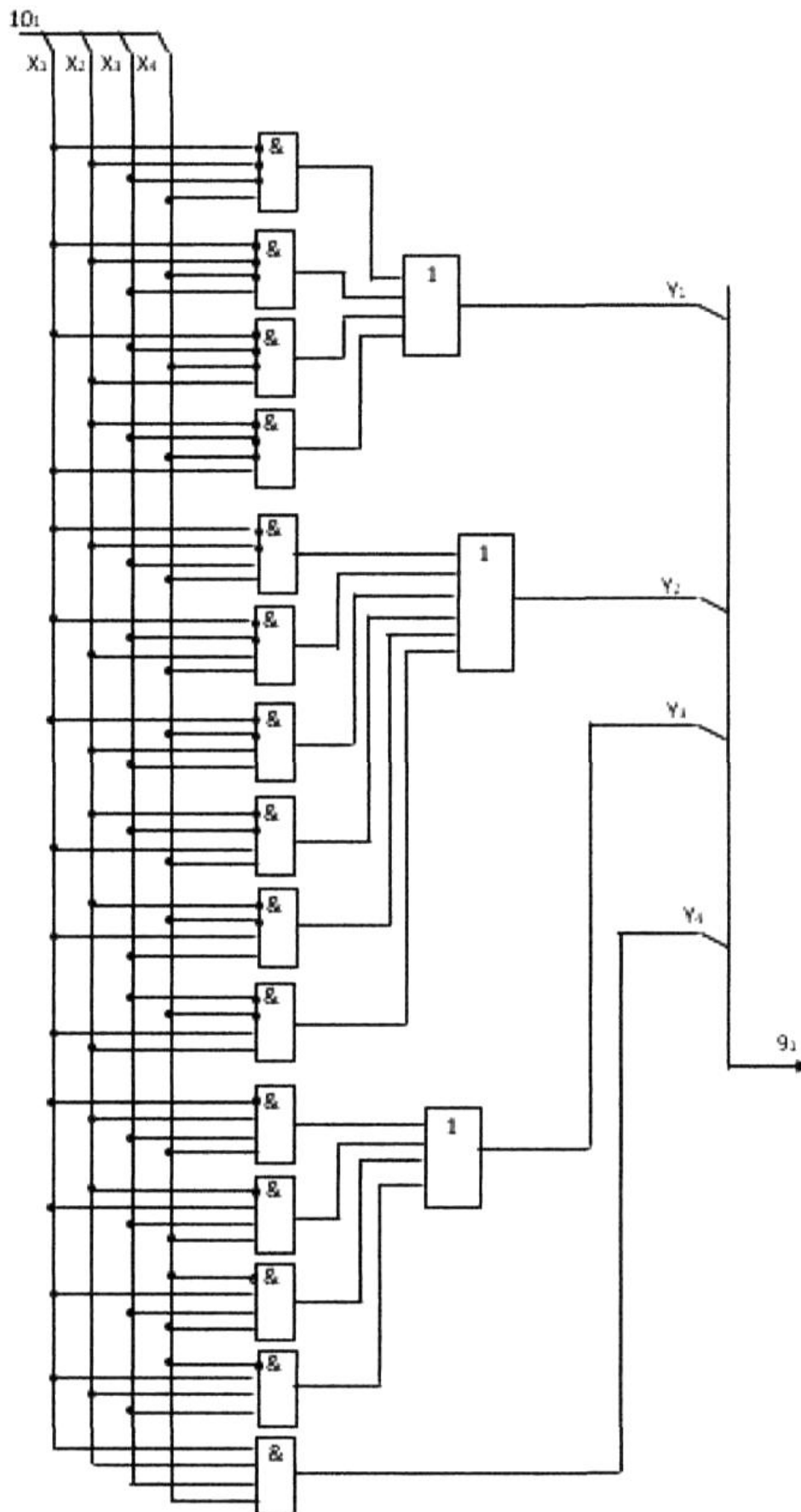
Білан Степан Миколайович,
вул. Лесі Українки, 72, кв. 36, м. Вишневе,
Києво-Святошинський р-н, Київська обл.,
08132 (UA)

(54) ПРИСТРІЙ ДЛЯ ВИЗНАЧЕННЯ КІЛЬКОСТІ ОДИНИЦЬ (НУЛІВ) У ДВІЙКОВОМУ ЧИСЛІ

(57) Реферат:

Пристрій для визначення кількості одиниць (нулів) у двійковому числі, що містить модулі, які складаються з елементів АБО, причому пристрій містить 2^{n-1} модулів, які послідовно розташовані один за одним, причому перший модуль складається з 2^n комбінаційних схем визначення кількості одиниць у чотирирозрядному двійковому коді, третій модуль містить 2^{n-2} комбінаційних схем визначення одиниць у шістнадцятирозрядному двійковому коді, кожний наступний модуль містить у два рази менше комбінаційних схем визначення одиниць у двійковому коді, кількість розрядів якого у два рази більше ніж у комбінаційних схем попереднього модуля, причому виходи кожної непарної комбінаційної схеми попереднього модуля підключені до перших входів відповідної комбінаційної схеми наступного модуля, а виходи кожної парної комбінаційної схеми попереднього модуля підключені до других входів відповідної комбінаційної схеми наступного модуля, виходи перших комбінаційних схем кожного модуля підключені до виходів пристрою, а входи комбінаційних схем першого модуля підключені до входів пристрою.

UA 120363 U



Фиг. 2

Корисна модель належить до обчислювальної техніки, а саме до обробки даних, і може бути використана для побудови засобів автоматики, функціональних вузлів систем управління та обробки зображень.

Відомо пристрій для підрахунку кількості одиниць у двійковому коді (Патент Росії №1795455, МПК G06F 7/50, Бюл. № 6, 1993), що містить n -розрядний вхідний регістр, вихідний регістр, вузол керованої інверсії, який зв'язаний з керуючим входом, перетворювач двійкового коду в ущільнений код, модифіковану матрицю модулів, кожний з яких містить елемент I і елемент АБО, яка складається з $(m + 1) / 2$ строк модулів, перетворювач ущільненого коду у двійковий код кількості одиниць.

Недоліком даного пристрою є те, що проводиться декілька перетворювань кодів вхідного двійкового коду в ущільнений код, формування вихідного ущільненого коду, який дорівнюється кількості одиниць у вхідному коді, перетворення ущільненого коду у двійковий код кількості одиниць. Така організація знижує швидкодію та надійність функціонування.

Відомо пристрій для підрахунку кількості одиниць в n -розрядному двійковому коді, який містить яруси, що складаються з суматорів і блоків сумування, які складаються з тривходових суматорів, півсуматорів, логічних елементів I та ВИКЛЮЧНЕ АБО.

Недоліками даного пристрою є низька надійність функціонування та швидкодія за рахунок реалізації великої кількості обчислень.

Найбільш близьким за технічною суттю до заявлюваної корисної моделі є пристрій для визначення кількості одиниць (нулів) у двійковому числі (Патент РФ №2446442, Бюл. №9, 2012), що містить елемент ВИКЛЮЧНЕ АБО і елемент I , причому перші і другі входи елемента ВИКЛЮЧНЕ АБО з'єднані відповідно з першим і другим входами елемента I і є, відповідно, першим і другим входами модуля, вихід елемента ВИКЛЮЧНЕ АБО є першим виходом модуля, вихід елемента I є другим виходом модуля, пристрій містить також елементи АБО і блок керованої інверсії, що складається з n -елементів ВИКЛЮЧНЕ АБО, де n -кількість розрядів вхідного числа, причому перші входи n -елементів ВИКЛЮЧНЕ АБО з'єднані між собою і підключені до зовнішнього керуючого входу, другі входи n -елементів ВИКЛЮЧНЕ АБО з'єднані з відповідними n -зовнішніми входами вхідного числа, виходи n -елементів ВИКЛЮЧНЕ АБО є відповідно першим - n -м виходами блоку керованої інверсії, модулі об'єднані в яруси і групи, які об'єднані в k -каскадів ($k = \lceil \log_2 n \rceil$ [більше ціле]), при цьому i -й каскад містить $g(i) = n/2^i$ груп ($i = 1, \dots, k$), кожна група i -го каскаду розділена на j ярусів ($j = 1, \dots, i$), кожна група i -го каскаду має 2^i входів групи, які є входами першого ярусу групи, і $(i+1)$ виходів групи ($i = 1, \dots, k$), перший ярус кожної групи відповідного i -го каскаду містить відповідно i модулів і має 2^i входів і 2^i виходів ($i = 1, \dots, k$), другий - j -й яруси кожної групи відповідного i -го каскаду ($i = 3, \dots, k, j = 2, \dots, (i-1)$), містять $(i-j)$ модулів і елемент АБО і мають $(2(i-j) + 2)$ входів ярусу і $(2(i-j) + 1)$ виходів ярусу, i -й ярус кожної групи відповідного i -го каскаду ($i = 2, \dots, k$), містить елемент АБО і має два входи і один вихід, перший і другий входи першого ярусу першої - $(n/2)$ -й груп першого каскаду з'єднані відповідно з першим і другим входами відповідних модулів першого ярусу першої - $(n/2)$ -ї груп першого каскаду, непарні перший, третій - $(n-1)$ -й виходи блока керованої інверсії з'єднані з першими входами першого ярусу відповідно першої - $(n/2)$ -й груп першого каскаду, парні другий, четвертий - n -й виходи блока керованої інверсії з'єднані з другими входами першого ярусу відповідно першої - $(n/2)$ -й груп першого каскаду, перший і другий виходи модулів першого ярусу першої - $(n/2)$ -й груп першого каскаду є відповідно першим і другим виходами першого ярусу відповідних першої - $(n/2)$ -й груп першого каскаду, перший і другий входи першого - i -го модуля першого ярусу кожної групи другого - i -го каскадів є відповідно першим, другим, третім - $(2i)$ -м входами першого ярусу відповідної групи другого - i -го каскадів ($i = 2, \dots, k$), перший і другий виходи першого - i -го модуля першого ярусу кожної групи другого - i -го каскадів є відповідно першим, другим, третім - $(2i)$ -м виходами першого ярусу відповідної групи другого - i -го каскадів ($i = 2, \dots, k$), перший і другий входи першого - $(i-j)$ -го модулів відповідно другого - j -го ярусу кожної групи третього - k -го каскаду є відповідно першим, другим - $2(i-j)$ -му входами відповідного другого - j -го ярусу відповідної групи третього - k -го каскаду ($i = 3, 4, \dots, k, j = 2, 3, \dots, (i-1)$), перший і другий виходи першого - $(i-j)$ -го модулів відповідно другого - j -го ярусу кожної групи третього - k -го каскаду є відповідно першим, другим - $2(i-j)$ -м виходами відповідного другого - j -го ярусу відповідної групи третього - k -го каскаду ($i = 3, 4, \dots, k, j = 2, 3, \dots, (i-1)$), перший і другий входи елемента АБО відповідно другого - j -го ярусу кожної групи відповідно другого - k -го каскаду є відповідно $(2(i-j)+1)$ -М і $(2(i-j)+2)$ -М входами відповідного другого - j -го ярусу відповідної групи відповідного другого - k -го каскаду ($i = 2, 3, \dots, k, j = 2, 3, \dots, i$), вихід елемента АБО відповідно другого - j -го ярусу кожної групи відповідно другого - k -го каскаду є відповідно $((i-j)+1)$ -М виходом відповідного другого - j -го ярусу відповідної групи відповідного другого - k -го каскаду ($i = 2, 3, \dots, k$,

$j=2, 3, \dots, i$), другий, третій - $(2(i-j)+1)$ -й виходи відповідно першого - j -го ярусу кожної групи відповідно другого - i -го каскаду з'єднані відповідно з першим, другим - $(2(i-j))$ -м входами відповідно другого - $(j+1)$ -го ярусу відповідної групи відповідно другого - i -го каскаду ($i=2, 3, \dots, k$), $j=1, 2, \dots, (i-1)$), перші виходи відповідно першого - j -го ярусу кожної групи відповідно другого - i -го каскаду є відповідно першим, другим - j -м входами відповідної групи відповідно другого - i -го каскаду ($i=2, 3, \dots, k$), $j=2, \dots, i$), старший $(2i)$ -й вихід 1-го ярусу кожної групи відповідно другого - i -го каскадів є відповідно старшим $(i+1)$ -м виходом відповідної групи відповідно другого - i -го каскадів ($i=2, 3, \dots, k$), перший, другий - $(z+1)$ -й виходи непарних першої, третьої - $(s-1)$ -й груп z -го каскаду з'єднані відповідно з непарними першим, третім - $(2z-1)$ -м входами відповідно першої, другої - $(s/2)$ -й груп $(z+1)$ -го каскаду, $(z=1, \dots, (k-1)$, $s=2, 4, 6, \dots, n/2z)$), перший, другий - $(z+1)$ -й виходи парних другою, четвертою - s -ї груп z -го каскаду з'єднані відповідно з парними другим, четвертим - $(2z)$ -м входами відповідно першої, другої - $(s/2)$ -ї групи $(z+1)$ -го каскаду ($z=1, \dots, (k-1)$, $s=2, 4, 6, \dots, n/2z$), перший, другий - $(k+1)$ -й виходи групи k -го каскаду є відповідно першим, другим - $(k+1)$ -м входами пристрою.

Недоліками даного пристрою є низька швидкодія та надійність функціонування, оскільки для реалізації пристрою використовується постійне подання результату у двійковій системі числення, а також для отримання результату використовується велика кількість каскадів. Наприклад, для шістнадцятирозрядного двійкового коду використовується одинадцять логічних ярусів та чотири каскади. Кожний логічний ярус здійснює затримку одним логічним елементом. При цьому елементи ВИКЛЮЧНЕ АБО, АБО та І мають різні затримки. Отже затримка одного ярусу визначається найбільшою затримкою одного логічного елемента. Як правило найбільшу має елемент ВИКЛЮЧНЕ АБО, оскільки він реалізується двома каскадами кон'юнкторів та диз'юнкторів.

Задачею корисної моделі є підвищення швидкодії та надійності функціонування. Висока швидкодія та надійність досягаються за рахунок зменшення логічних ярусів і подання результату у одинично-позиційному коді.

Поставлена задача вирішується тим, що пристрій для визначення кількості одиниць (нулів) у двійковому числі, що містить модулі, які складаються з елементів АБО, пристрій містить 2^{n-1} модулів, які послідовно розташовані один за одним, причому перший модуль складається з 2^n комбінаційних схем визначення кількості одиниць у чотирирозрядному двійковому коді, третій модуль містить 2^{n-2} комбінаційних схем визначення одиниць у шістнадцятирозрядному двійковому коді, кожний наступний модуль містить у два рази менше комбінаційних схем визначення одиниць у двійковому коді, кількість розрядів якого у два рази більше, ніж у комбінаційних схем попереднього модуля, причому виходи кожної непарної комбінаційної схеми попереднього модуля підключені до перших входів відповідної комбінаційної схеми наступного модуля, а виходи кожної парної комбінаційної схеми попереднього модуля підключені до других входів відповідної комбінаційної схеми наступного модуля, виходи перших комбінаційних схем кожного модуля підключені до виходів пристрою, а входи комбінаційних схем першого модуля підключені до входів пристрою.

На фіг. 1 подано структурну схему пристрою для визначення кількості одиниць (нулів) у двійковому числі, на фіг. 2 представлена функціональна схема для визначення кількості одиниць (нулів) у чотирьох розрядному двійковому числі, на фіг. 3 - зображено графічне подання елемента для аналізу шістнадцятирозрядного двійкового коду та часові діаграми його роботи.

Пристрій для визначення кількості одиниць (нулів) у двійковому числі (фіг. 1) містить модулі $1_1, 1_2, \dots, 1_n$, які послідовно розташовані один за одним, причому перший модуль 1_1 складається з 2^n комбінаційних схем $2_1, 2_2, \dots, 2_{2^n}$ визначення кількості одиниць у чотирирозрядному двійковому коді, другий модуль 1_2 містить 2^{n-1} комбінаційних схем $3_1, 3_2, \dots, 3_{2^{n-1}}$ і визначення одиниць у восьмирозрядному двійковому коді, третій модуль 1_3 містить 2^{n-2} комбінаційних схем $4_1, 4_2, \dots, 4_{2^{n-2}}$ визначення одиниць у шістнадцятирозрядному двійковому коді, кожний наступний модуль містить у два рази менше комбінаційних схем визначення одиниць у двійковому коді, кількість розрядів якого у два рази більше ніж у комбінаційних схем попереднього модуля, причому виходи 5, кожної непарної комбінаційної схеми попереднього модуля 1_i підключені до перших входів 6 відповідної комбінаційної схеми попереднього модуля, а виходи 7, кожної непарної комбінаційної схеми попереднього модуля 1_i підключені до других входів 8 відповідної комбінаційної схеми наступного модуля, виходи 5 перших комбінаційних схем кожного модуля підключені до виходів $9_1, 9_2, \dots, 9_{2^{n-1}}$ пристрою, а входи комбінаційних схем $2_1, 2_2, \dots, 2_{2^n}$ підключені до входів $10_1, 10_2, \dots, 10_{2^n}$ пристрою.

Комбінаційна схема 2 визначення одиниць у двійковому коді (фіг. 2) містить п'ятнадцять чотиривходових кон'юнкторів, чотири з яких мають три інверсних входи і один прямий вхід,

шість містять два інверсних входи і два прямих входи, чотири кон'юнктори містять один інверсний вхід і три прямих входи, один чотиривходовий кон'юнктор без інверсних входів, а також два чотиривходових диз'юнктора і один шестивходовий диз'юнктор.

- 5 Пристрій для визначення кількості одиниць (нулів) у двійковому числі працює в такий спосіб. Двійковий код у вигляді сигналів логічних "0" та "1" подається на відповідні входи 10 пристрою і на відповідні входи комбінаційних схем 2 першого модуля b (фіг. 1). Кожна комбінаційна схема реалізується згідно з таблицею істинності (таблиця 1).

Таблиця 1

Таблиця істинності для четирирозрядної комбінаційної схеми підрахунку кількості одиниць в двійковому коді.

X ₁	X ₂	X ₃	X ₄	Y ₁	Y ₂	Y ₃	Y ₄
0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	0
0	0	1	0	1	0	0	0
0	0	1	1	0	1	0	0
0	1	0	0	1	0	0	0
0	1	0	1	0	1	0	0
0	1	1	0	0	1	0	0
0	1	1	1	0	0	1	0
1	0	0	0	1	0	0	0
1	0	0	1	0	1	0	0
1	0	1	0	0	1	0	0
1	0	1	1	0	0	1	0
1	1	0	0	0	1	0	0
1	1	0	1	0	0	1	0
1	1	1	0	0	0	1	0
1	1	1	1	0	0	0	1

- 10 В таблиці 1 значення X₁, X₂, X₃, X₄ позначають вхідні сигнали, а значення Y₁, Y₂, Y₃, Y₄ позначають логічні сигнали на виходах комбінаційної схеми. Виходи Y_i даної схеми описуються наступними логічними виразами.

$$\left\{ \begin{array}{l} Y_1 = \overline{X_1} \wedge \overline{X_2} \wedge \overline{X_3} \wedge X_4 \vee \overline{X_1} \wedge \overline{X_2} \wedge X_3 \wedge \overline{X_4} \vee \overline{X_1} \wedge X_2 \wedge \overline{X_3} \wedge \overline{X_4} \vee X_1 \wedge \overline{X_2} \wedge \overline{X_3} \wedge \overline{X_4} \\ Y_2 = \overline{X_1} \wedge \overline{X_2} \wedge X_3 \wedge X_4 \vee \overline{X_1} \wedge X_2 \wedge \overline{X_3} \wedge X_4 \vee \overline{X_1} \wedge X_2 \wedge X_3 \wedge \overline{X_4} \vee X_1 \wedge \overline{X_2} \wedge \overline{X_3} \wedge X_4 \vee \\ \vee X_1 \wedge \overline{X_2} \wedge X_3 \wedge \overline{X_4} \vee X_1 \wedge X_2 \wedge \overline{X_3} \wedge \overline{X_4} \\ Y_3 = \overline{X_1} \wedge X_2 \wedge X_3 \wedge X_4 \vee X_1 \wedge \overline{X_2} \wedge X_3 \wedge X_4 \vee X_1 \wedge X_2 \wedge \overline{X_3} \wedge X_4 \vee X_1 \wedge X_2 \wedge X_3 \wedge \overline{X_4} \\ Y_4 = X_1 \wedge X_2 \wedge X_3 \wedge X_4 \end{array} \right. \quad . (1)$$

- 15 Функціональна схема, комбінаційної схеми 2 першого модуля 1₁ подана на фіг. 2. Дана схема реалізована згідно з таблицею 1 та логічними виразами (1). Час, який витрачається на отримання результату даною схемою, визначається сумарним часом спрацювання одного кон'юнктора і одного диз'юнктора. Сигнали результату виводяться на чотирирозрядний перший вихід 9₁ пристрою. Наприклад, якщо чотирирозрядний код на чотирирозрядному вході 10_i містить дві одиниці, то на другому виході (Y₂=1) присутній одиничний сигнал, а на інших виходах (Y₁ = Y₃ = Y₄=0) - нульовий сигнал. Опис поведінки даної комбінаційної схеми подано наступним VHDL-кодом.

```

library IEEE;
use IEEE.stdlogic164.all;
entity CNOC4 is port(
  x1: in STD_LOGIC;
  x2: in STD_LOGIC;
  x3: in STD_LOGIC;
  x4: in STD_LOGIC;
  y1: out STD_LOGIC;
  y2: out STD_LOGIC;

```

```

y3: out STD_LOGIC;
y4: out STD_LOGIC
);
end CNOC4;
5 architecture CNOC4 °F CNOC4 is
signal NET332: STD_LOGIC;
signal NET345: STD_LOGIC;
signal NET362: STD_LOGIC;
signal NET371: STD_LOGIC;
10 signal NET4713: STD_LOGIC;
signal NET4730: STD_LOGIC;
signal NET4743: STD_LOGIC;
signal NET4752: STD_LOGIC;
signal NET842: STD_LOGIC;
15 signal NET855: STD_LOGIC;
signal NET864: STD_LOGIC;
signal NET873: STD_LOGIC;
signal NET882: STD_LOGIC;
signal NET895: STD_LOGIC;
20 signal NET904: STD_LOGIC;
begin
NET332<=not(x4) and not(x3) and not(x2) and not(x1);
NET864<=not(x2) and not(x3) and x1 and x4;
NET855<=not(x3) and not(x4) and x1 and x2;
25 NET842<=NET882 or NET873 or NET864 or NET855;
y2<=NET904 or NET895 or NET842;
NET4713<=not(x1) and x4 and x3 and x2;
NET4730<=not(x2) and x4 and x3 and x1;
NET4743<=not(x3) and x4 and x2 and x1;
30 NET4752<=not(x4) and x3 and x2 and x1;
y3<=NET4752 or NET4743 or NET4730 or NET4713;
y4<=x4 and x3 and x2 and x1;
NET345<=not(x4) and not(x2) and not(x1) and x3;
NET362<=not(x4) and not(x3) and not(x1) and x2;
35 NET371<=not(x2) and not(x3) and not(x4) and x1;
Y1<=NET371 or NET362 or NET345 or NET332;
NET904<=not(x2) and not(x1) and x4 and x3;
NET895<=not(x1) and not(x3) and x4 and x2;
NET882<=not(x1) and not(x4) and x3 and x2;
40 NET873<=not(x3) and not(x2) and x1 and x4; end CNOC4;

```

Для визначення кількості одиниць у восьмирозрядному коді використовується дві комбінаційних схеми 2₁, 2₂ першого модуля 1₁ і одна восьмиходова комбінаційна схема 3₁ другого модуля 1₂. Результат формується на другому восьмирозрядному виході 9₂ пристрою.

Комбінаційна схема 3₁ другого модуля описується наступними логічними функціями.

$$\left\{ \begin{array}{l}
 V = \overline{y_1^1} \wedge \overline{y_2^1} \wedge \overline{y_3^1} \wedge \overline{y_4^1}; \\
 W = \overline{y_1^1} \wedge \overline{y_2^1} \wedge \overline{y_3^1} \wedge \overline{y_4^1}; \\
 q_1 = y_1^1 \wedge \overline{y_1^1} \wedge \overline{y_2^1} \wedge \overline{y_3^1} \wedge \overline{y_4^1}; \\
 q_2 = y_2^1 \wedge \overline{y_1^1} \vee y_2^1 \wedge V \vee \overline{y_2^1} \wedge W; \\
 q_3 = y_1^1 \wedge \overline{y_2^1} \vee y_2^1 \wedge \overline{y_1^1} \vee y_3^1 \wedge V \vee \overline{y_3^1} \wedge W; \\
 q_4 = y_1^1 \wedge \overline{y_3^1} \vee y_3^1 \wedge \overline{y_1^1} \vee y_2^1 \wedge \overline{y_2^1} \vee y_4^1 \wedge V \vee \overline{y_4^1} \wedge W; \\
 q_5 = y_4^1 \wedge \overline{y_1^1} \vee \overline{y_4^1} \wedge y_1^1 \vee y_2^1 \wedge \overline{y_3^1} \vee y_2^1 \wedge y_3^1; \\
 q_6 = y_4^1 \wedge \overline{y_2^1} \vee \overline{y_4^1} \wedge y_2^1 \vee y_3^1 \wedge \overline{y_3^1}; \\
 q_7 = y_4^1 \wedge \overline{y_3^1} \vee \overline{y_4^1} \wedge y_3^1; \\
 q_8 = y_4^1 \wedge \overline{y_1^1}.
 \end{array} \right. , (2)$$

де y_i^1 - сигнал на i-му виході другої комбінаційної схеми 2₂ ($i = \overline{1, n}$)

Швидкодія даної схеми визначається послідовним спрацюванням трьох логічних елементів.

Комбінаційна схема на вісім розрядів реалізується шляхом розбиття восьмирозрядного двійкового коду на два чотирирозрядних двійкових коди, які обробляються двома комбінаційними схемами $2_1, 2_2$ першого модуля її. Вихідні сигнали двох чотирирозрядних комбінаційних схем $2_1, 2_2$ обробляються однією комбінаційною схемою 3_1 другого модуля 1_2 .
 5 Наприклад, якщо на другому виході ($y_2=1$) першої комбінаційної схеми 2_1 присутній одиничний сигнал, а також на третьому виході ($y_3=1$) другої комбінаційної схеми присутній сигнал логічної "1", то такі стани означають, що у восьмирозрядному коді присутні п'ять одиниць (дві одиниці присутні у молодших чотирьох розрядах, а три одиниці присутні у старших чотирьох двійкових розрядах).

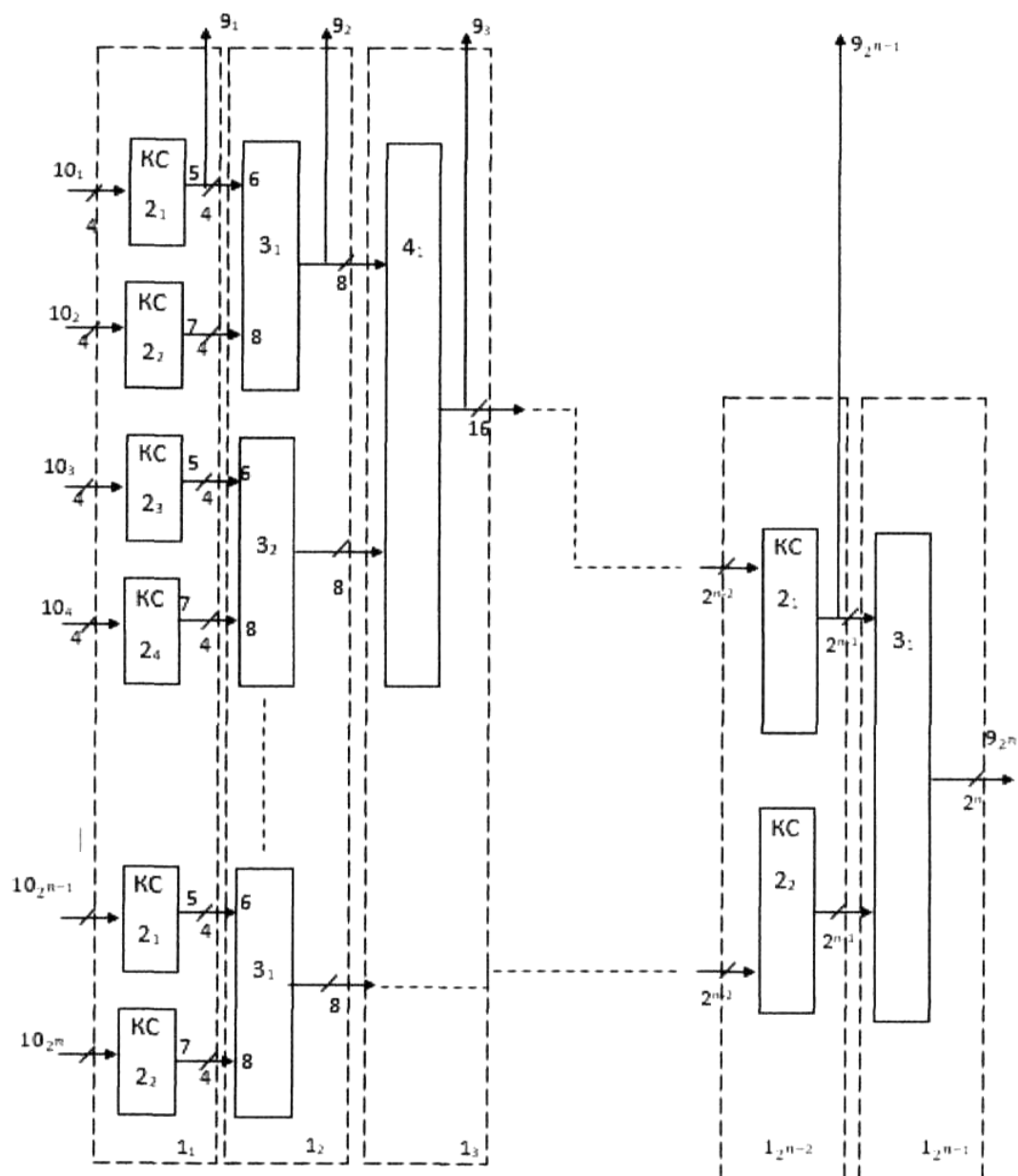
10 Згідно з логічними виразами (2) на п'ятому виході ($q_5=1$) комбінаційної схеми другого модуля з'явиться одиничний сигнал, що означає наявність п'яти одиниць у вхідному восьмирозрядному двійковому коді. На інших виходах ($y_1=y_2=y_3=y_4=y_6=y_7=y_8=0$) присутні сигнали логічних "0".

За аналогічним принципом реалізуються комбінаційні схеми інших модулів. Графічне подання інтерфейсу пристрою для визначення одиниць (нулів) у шістнадцятирозрядному
 15 двійковому коді та часові діаграми його роботи подані на фіг. 3.

Даний пристрій дозволяє скоротити час роботи практично у два рази. Крім того, застосування стандартних комбінаційних схем та їх міжз'єднання дозволяє підвищити надійність функціонування пристрою.

20 ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Пристрій для визначення кількості одиниць (нулів) у двійковому числі, що містить модулі, які складаються з елементів АБО, який **відрізняється** тим, що пристрій містить 2^{n-1} модулів, які послідовно розташовані один за одним, причому перший модуль складається з 2^n комбінаційних
 25 схем визначення кількості одиниць у чотирирозрядному двійковому коді, третій модуль містить 2^{n-2} комбінаційних схем визначення одиниць у шістнадцятирозрядному двійковому коді, кожний наступний модуль містить у два рази менше комбінаційних схем визначення одиниць у двійковому коді, кількість розрядів якого у два рази більше, ніж у комбінаційних схем попереднього модуля, причому виходи кожної непарної комбінаційної схеми попереднього
 30 модуля підключені до перших входів відповідної комбінаційної схеми наступного модуля, а виходи кожної парної комбінаційної схеми попереднього модуля підключені до других входів відповідної комбінаційної схеми наступного модуля, виходи перших комбінаційних схем кожного модуля підключені до виходів пристрою, а входи комбінаційних схем першого модуля підключені до входів пристрою.



Фиг. 1

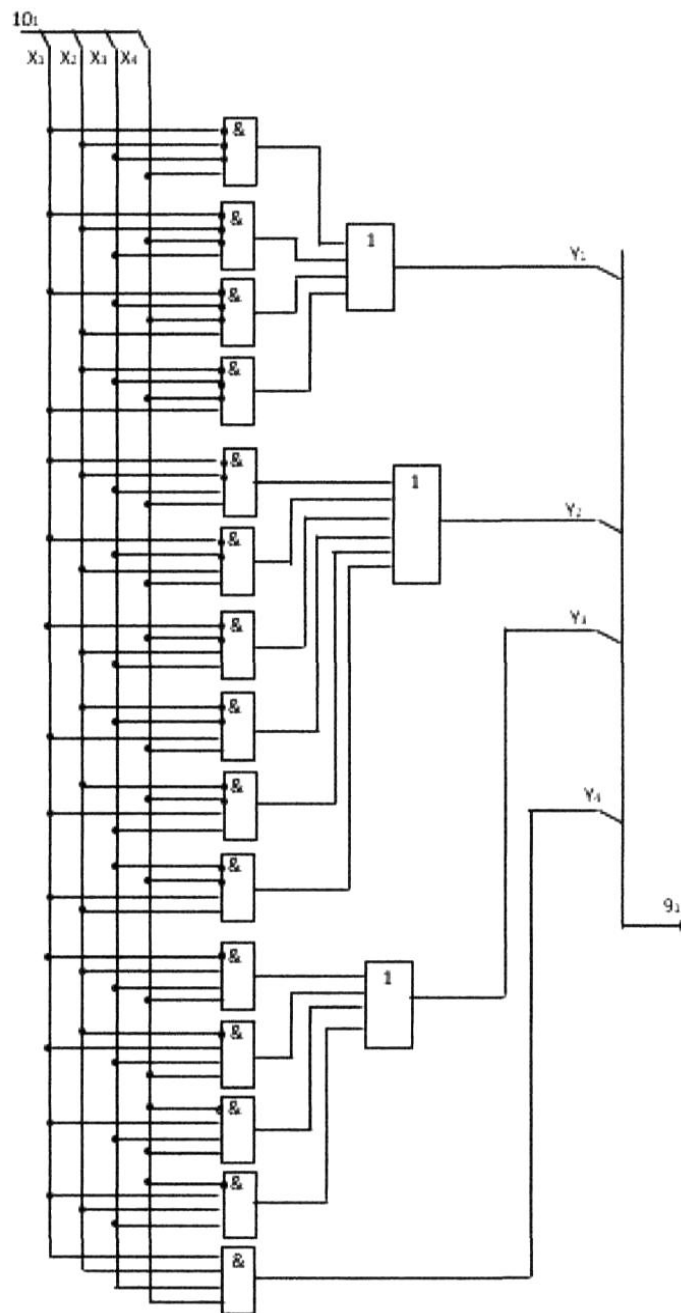


Fig. 2

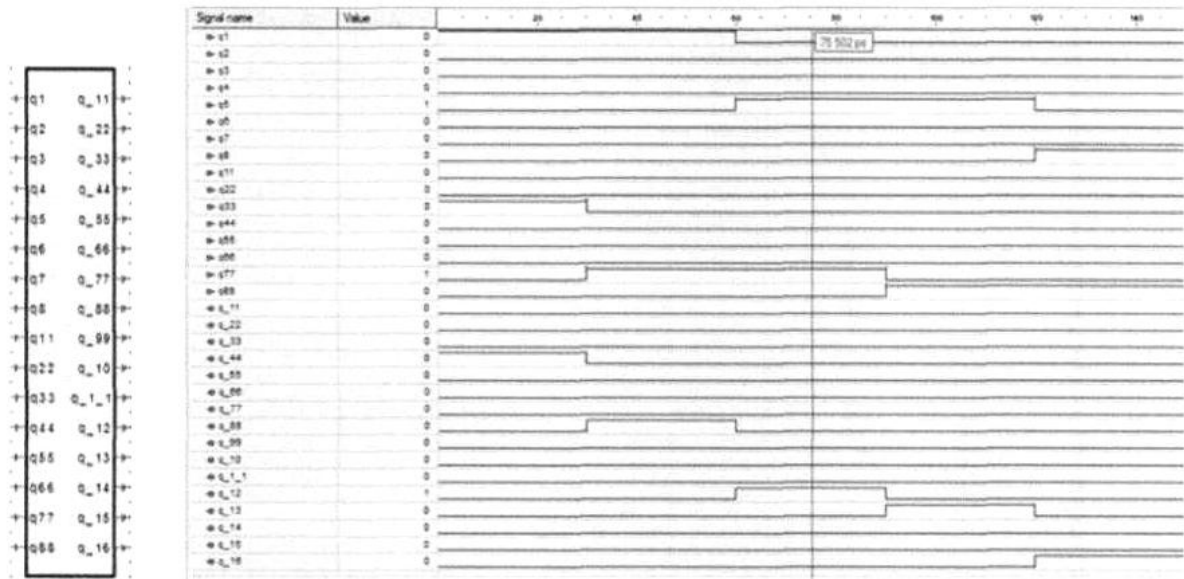


Fig. 3

Комп'ютерна верстка М. Мацело

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601