



УКРАЇНА

(19) **UA** (11) **115196** (13) **C2**

(51) МПК (2017.01)

G06F 11/00

G06F 11/263 (2006.01)

G06F 7/544 (2006.01)

МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА ВІНАХІД

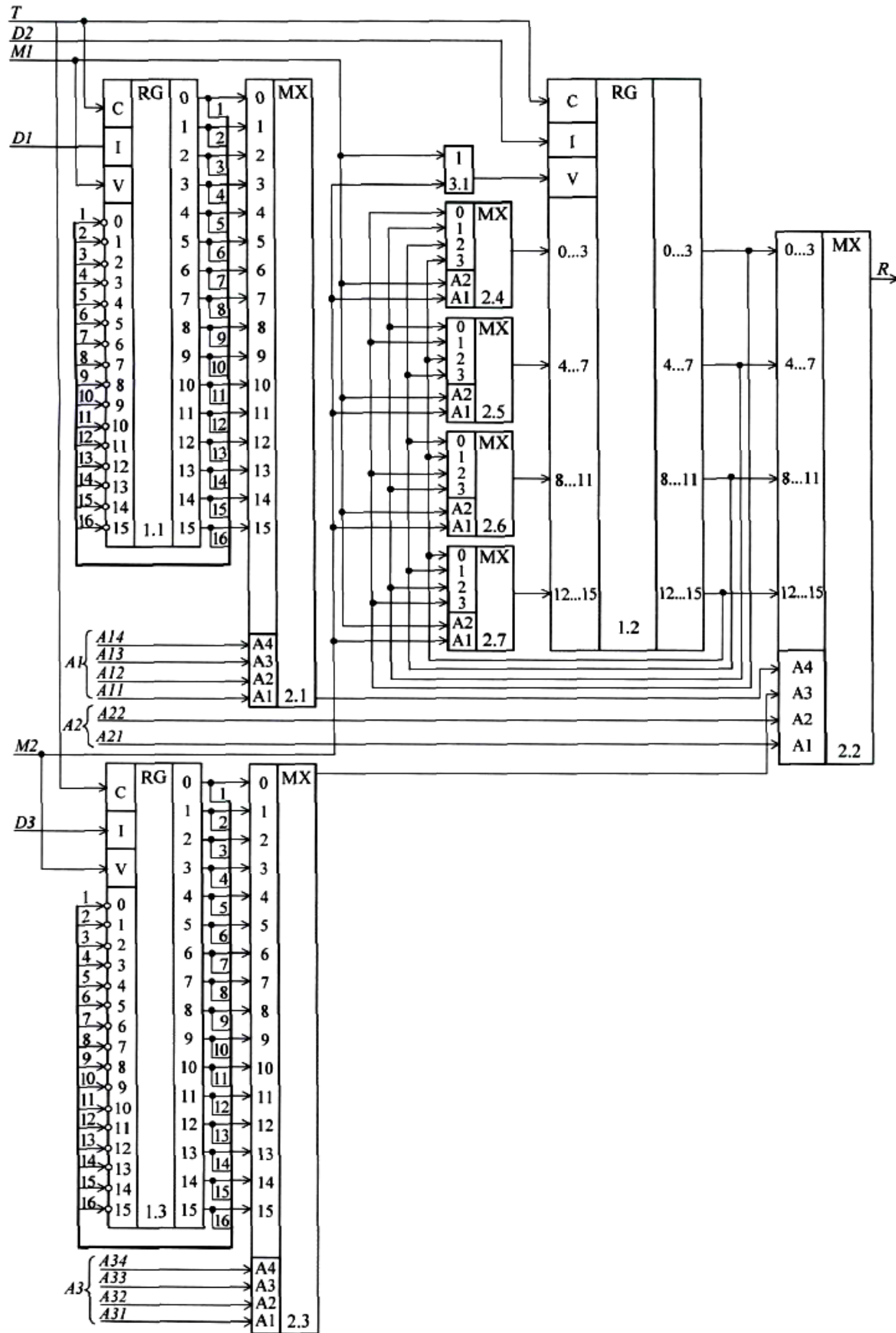
(21) Номер заявки: а 2016 07698	(72) Винахідник(и): Дрозд Олександр Валентинович (UA), Защолкін Костянтин В'ячеславович (UA), Кузнєцов Микола Олександрович (UA), Донченко Олександр Юрійович (UA), Поліщук Олександр Олегович (UA)
(22) Дата подання заявки: 12.07.2016	
(24) Дата, з якої є чинними права на винахід: 25.09.2017	
(41) Публікація відомостей про заявку: 10.04.2017, Бюл.№ 7	(73) Власник(и): ОДЕСЬКИЙ НАЦІОНАЛЬНИЙ ПОЛІТЕХНІЧНИЙ УНІВЕРСИТЕТ, пр. Шевченка, 1, м. Одеса, 65044 (UA)
(46) Публікація відомостей про видачу патенту: 25.09.2017, Бюл.№ 18	(56) Перелік документів, взятих до уваги експертизою: UA 107437 C2, 25.12.2014 SU 1104515 A, 23.07.1984 US 2012198208 A1, 02.08. 2012 JP S60243578 A, 03.12.1985 US 6356354 B1, 12.03.2002 US 4998219 A, 05.03.1991 US 5960193 A, 28.09.1999 EP 0181516 A2, 21.05.1986

(54) ПРОГРАМОВАНИЙ ПРИСТРІЙ

(57) Реферат:

Винахід належить до обчислювальної техніки. Програмований пристрій містить перший 2^n -розрядний регістр, перший n-адресний мультиплексор, другий 2^n -розрядний регістр, другий n-адресний мультиплексор, третій 2^n -розрядний регістр; третій n-адресний мультиплексор; чотири 2-адресних мультиплексора та елемент АБО. Технічним результатом є можливість обчислення будь-якої першої та другої логічної функції при константній несправності будь-якого одного з виходів першого та/або третього регістра.

UA 115196 C2



Фир. 1

Запропонований винахід належить до обчислювальної техніки, а саме до програмованих цифрових пристроїв, і може бути використаний в машинобудівних технологіях.

Відомий пристрій на основі мультиплексора, адресні входи якого є входами аргументів логічної функції пристрою, інформаційні входи з номерами наборів, що приймають в таблиці істинності логічної функції нульові та одиничні значення, підключені відповідно до входів нульового та одиничного значення пристрою, а вихід є виходом пристрою [1].

Недоліки аналогу: обмежені функціональні можливості - пристрій обчислює тільки одну конкретну логічну функцію.

Також відомий програмований пристрій для обчислення логічної функції n -змінних, який містить 2^n -розрядний регістр та n -адресний мультиплексор, при цьому тактовий вхід та вхід послідовного прийому даних регістра є першим та другим входами пристрою, вхід n -адресних розрядів мультиплексора є третім входом пристрою, інформаційні входи $0 \dots 2^n - 1$ мультиплексора підключено до виходів відповідних розрядів $0 \dots 2^n - 1$ регістра, а вихід мультиплексора підключено до виходу пристрою [2].

Недоліки аналогу: константна несправність 0 або 1 на будь-якому одному з виходів розрядів регістра не дозволяє обчислити всі логічні функції, що програмуються в регістрі. Наприклад, константна несправність "0" на нульовому виході регістра не дозволяє обчислити логічні функції, що приймають одиничне значення на нульовому наборі змінних. Це суттєво обмежує функціональні можливості програмованого пристрою.

Найбільш близьким до запропонованого винаходу по технічній суті та результату, що досягається, є програмований пристрій, що містить перший 2^n -розрядний регістр, перший n -адресний мультиплексор, другий 2^n -розрядний регістр, другий n -адресний мультиплексор, при цьому тактовий вхід і перший вхід прийому даних пристрою підключено відповідно до тактового входу і входу послідовного прийому даних першого регістра, виходи розрядів $0 \dots 2^n - 1$ якого підключено відповідно до інформаційних входів $0 \dots 2^n - 1$ першого мультиплексора, входи n адресних розрядів $1 \dots n$ першого мультиплексора є першим адресним входом пристрою, тактовий вхід і другий вхід прийому даних пристрою підключено відповідно до тактового входу та входу послідовного прийому даних другого регістра, входи молодших адресних розрядів $1 \dots n - 1$ другого мультиплексора є другим адресним входом пристрою, вхід режиму пристрою підключено до входів дозволу паралельного прийому даних першого та другого регістрів, виходи розрядів $0 \dots 2^n - 1$ першого регістра підключено відповідно до його інверсних входів розрядів $0 \dots 2^n - 1$, виходи розрядів $0 \dots 2^n - 1$ другого регістра підключено відповідно до його входів розрядів $2^{n-1} \dots 2^n - 1$, а виходи розрядів $2^{n-1} \dots 2^n - 1$ другого регістра підключено відповідно до його входів розрядів $0 \dots 2^n - 1$, виходи розрядів $0 \dots 2^n - 1$ другого регістра підключено відповідно до інформаційних входів $0 \dots 2^n - 1$ другого мультиплексора, вихід першого мультиплексора підключено до входу старшого адресного розряду n другого мультиплексора, вихід якого підключено до виходу пристрою [3].

Недоліки прототипу: забезпечує обчислення тільки однієї програмованої функції в умовах можливої константної несправності 0 або 1 на виходах розрядів першого регістра. Це суттєво обмежує функціональні можливості програмованого пристрою.

Задача винаходу - створення програмованого пристрою, в якому шляхом введення 2^n -розрядного регістра, n -адресного мультиплексора, чотирьох 2-адресних мультиплексорів та елемента АБО забезпечено розширюються функціональні можливості щодо обчислення двох програмованих логічних функцій в умовах можливості виникнення константної несправності 0 або 1 на виходах розрядів регістрів, що забезпечують обчислення кожної з цих функцій.

Поставлена задача вирішується тим, що у програмований пристрій, що містить перший 2^n -розрядний регістр, перший n -адресний мультиплексор, другий 2^n -розрядний регістр, другий n -адресний мультиплексор, при цьому тактовий вхід і перший вхід прийому даних пристрою підключено відповідно до тактового входу і входу послідовного прийому даних першого регістра, виходи розрядів $0 \dots 2^n - 1$ першого регістра підключено відповідно до інформаційних входів $0 \dots 2^n - 1$ першого мультиплексора, входи n адресних розрядів $1 \dots n$ першого мультиплексора є першим адресним входом пристрою, тактовий вхід і другий вхід прийому даних пристрою підключено відповідно до тактового входу та входу послідовного прийому даних другого регістра, входи молодших адресних розрядів $1 \dots n - 2$ другого мультиплексора є другим адресним входом пристрою, виходи розрядів $0 \dots 2^n - 1$ першого регістра підключено відповідно до його інверсних входів розрядів $0 \dots 2^n - 1$, виходи розрядів $0 \dots 2^n - 1$ другого регістра підключено відповідно до інформаційних входів $0 \dots 2^n - 1$ другого мультиплексора, вихід першого мультиплексора підключено до входу адресного розряду $n - 1$ другого мультиплексора, вихід другого мультиплексора підключено до виходу пристрою, згідно з винаходом введено третій 2^n -розрядний регістр; третій n -адресний мультиплексор; чотири 2-адресних мультиплексора,

елемент АБО, при цьому тактовий вхід і третій вхід прийому даних пристрою підключено відповідно до тактового входу та входу послідовного прийому даних третього регістра; виходи розрядів $0 \dots 2^n - 1$ третього регістра підключено відповідно до інформаційних входів $0 \dots 2^n - 1$ третього мультиплексора, входи n адресних розрядів $1 \dots n$ третього мультиплексора є третім адресним входом пристрою; виходи розрядів $0 \dots 2^n - 1$ третього регістра підключено відповідно до його інверсних входів розрядів $0 \dots 2^n - 1$; вихід третього мультиплексора підключено до входу старшого адресного розряду n другого мультиплексора; розряди $0 \dots 2^{n-2} - 1$ виходу першого 2-адресного мультиплексора підключено до входів розрядів $0 \dots 2^{n-2} - 1$ другого регістра, виходи розрядів якого $0 \dots 2^{n-2} - 1$ підключені до: розрядів $0 \dots 2^{n-2} - 1$ нульового інформаційного входу першого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ першого інформаційного входу другого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ другого інформаційного входу третього 2-адресного мультиплексора; розряди $0 \dots 2^{n-2} - 1$ виходу другого 2-адресного мультиплексора підключено до входів розрядів $2^{n-2} \dots 2^{n-1} - 1$ другого регістра, виходи розрядів якого $2^{n-2} \dots 2^{n-1} - 1$ підключені до: розрядів $0 \dots 2^{n-2} - 1$ першого інформаційного входу першого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ нульового інформаційного входу другого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ третього інформаційного входу третього 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ другого інформаційного входу четвертого 2-адресного мультиплексора; розряди $0 \dots 2^{n-2} - 1$ виходу третього 2-адресного мультиплексора підключено до входів розрядів $2^{n-1} \dots 3 \cdot 2^{n-2} - 1$ другого регістра, виходи розрядів якого $2^{n-1} \dots 3 \cdot 2^{n-2} - 1$ підключені до: розрядів $0 \dots 2^{n-2} - 1$ другого інформаційного входу першого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ третього інформаційного входу другого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ нульового інформаційного входу третього 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ першого інформаційного входу четвертого 2-адресного мультиплексора; розряди $0 \dots 2^{n-2} - 1$ виходу четвертого 2-адресного мультиплексора підключено до входів розрядів $3 \cdot 2^{n-2} \dots 2^n - 1$ другого регістра, виходи розрядів якого $3 \cdot 2^{n-2} \dots 2^n - 1$ підключені до: розрядів $0 \dots 2^{n-2} - 1$ третього інформаційного входу першого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ другого інформаційного входу другого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ першого інформаційного входу третього 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ нульового інформаційного входу четвертого 2-адресного мультиплексора; перший вхід режиму пристрою підключено до входу дозволу паралельного прийому даних першого регістра, до першого входу елемента АБО, а також до входу старшого адресного розряду кожного з 2-адресних мультиплексорів; другий вхід режиму пристрою підключено до входу дозволу паралельного прийому даних третього регістра, до другого входу елемента АБО, а також до входу молодшого адресного розряду кожного з 2-адресних мультиплексорів; вихід елемента АБО підключено до входу дозволу паралельного прийому даних другого регістра.

Технічний ефект від запропонованого рішення полягає в тому, що шляхом введення третього 2^n -розрядного регістра; третього n -адресного мультиплексора; чотирьох 2-адресних мультиплексорів; елемента АБО забезпечено:

дві версії програмування першої логічної функції пристрою, яка реалізуються першим регістром та першим мультиплексором;

дві версії програмування другої логічної функції пристрою, яка реалізуються третім регістром та третім мультиплексором;

чотири версії програмування третьої (основної) логічної функції пристрою. За цими версіями перша та друга логічна функція можуть бути обчислені з

прямим або інверсним значенням, а третя функція не змінює свого значення, що призводить до розширення функціональних можливостей обчислення будь-якої першої та другої логічної функції при константній несправності будь-якого одного з виходів першого та/або третього регістра.

Розширення функціональних можливостей пристрою можна оцінити наступним чином. Прототип забезпечує обчислення тільки однієї програмованої функції в умовах можливої константної несправності 0 або 1 на одному з виходів регістра, який (регістр) містить значення функції. В запропонованому рішенні забезпечується обчислення двох програмованих логічних функцій в умовах можливості виникнення константної несправності 0 або 1 на одному з виходів кожного з регістрів, що забезпечують обчислення кожної з цих функцій. Запропоноване рішення допускає наявність константної несправності на виході як одного з регістрів, що забезпечують обчислення програмованої функції, так і одночасну наявність константних несправностей на виходах обох регістрів, що забезпечують обчислення програмованої функції.

В запропонованому рішенні при неможливості внаслідок несправності обчислення прямого значення першої логічної функції (на виході першого n -адресного мультиплексора) код на

виході першого 2^n -розрядного регістра змінюється на інверсний. Це забезпечує обчислення інверсного значення першої логічної функції. При цьому в другому 2^n -розрядному регістрі міняються між собою місцями перша та друга половини коду, що компенсує інверсію на вході старшого розряду адреси другого n-адресного мультиплексора і зберігає значення логічної функції на виході пристрою.

В запропонованому рішенні при неможливості внаслідок несправності обчислення прямого значення другої логічної функції (на виході третього n-адресного мультиплексора) код на виході третього 2^n -розрядного регістра змінюється на інверсний. Це забезпечує обчислення інверсного значення другої логічної функції. При цьому в другому 2^n -розрядному регістрі міняються місцями перша та друга чверті коду, а також міняються між собою місцями третя та четверта чверті коду, що компенсує інверсію на вході розряду n-1 адреси другого n-адресного мультиплексора і зберігає значення логічної функції на виході пристрою.

В запропонованому рішенні при неможливості внаслідок несправності обчислення прямого значення одночасно першої та другої логічної функції (на виході першого та третього n-адресного мультиплексора відповідно) коди на виході першого та третього 2^n -розрядного регістра змінюється на інверсні. Це забезпечує обчислення інверсного значення першої та другої логічної функції відповідно. При цьому в другому 2^n -розрядному регістрі міняються між собою місцями перша та друга чверті коду, а також міняються між собою місцями третя та четверта чверті коду, а крім того міняються місцями перша та друга половини отриманого коду що одночасно компенсує інверсії на вході старшого розряду та розряду n-1 адреси другого n-адресного мультиплексора і зберігає значення логічної функції на виході пристрою.

Сутність винаходу пояснюється кресленням на фіг. 1, де зображено перший 1.1, другий 1.2 та третій 1.3 2^n - розрядні регістри; перший 2.1, другий 2.2 та третій 2.3 n-адресні мультиплексори; чотири 2-адресні мультиплексори 2.4, 2.5, 2.6, 2.7, кожен з яких комутує чотири 2^{n-2} -розрядні інформаційні входи на один 2^{n-2} -розрядний вихід; елемент АБО 3.1; тактовий вхід Т пристрою; перший D1 другий D2 та третій D3 входи прийому даних пристрою; перший А1, другий А2 та третій А3 адресні входи пристрою; перший М1 та другий М2 вхід режиму пристрою; вихід R пристрою; при цьому вхід Т пристрою підключено до тактових входів С регістрів 1.1, 1.2 та 1.3; входи D1, D2 та D3 підключено відповідно до входів І послідовного прийому даних регістрів 1.1, 1.2 та 1.3; входи n-адресних розрядів $1...n$ мультиплексора 2.1 є входом А1 пристрою; входи n адресних розрядів $1...n$ мультиплексора 2.3 є входом А3 пристрою; входи молодших адресних розрядів $1...n-2$ мультиплексора 2.2 є входом А2 пристрою, вхід М1 підключено до: входу V дозволу паралельного прийому даних регістра 1.1, до першого входу елемента АБО, до входу старшого адресного розряду мультиплексорів 2.4, 2.5, 2.6, 2.7; вхід М2 підключено до: входу V дозволу паралельного прийому даних регістра 1.3, до другого входу елемента АБО, до входу молодшого адресного розряду мультиплексорів 2.4, 2.5, 2.6, 2.7; вихід елемента АБО підключено до входу V дозволу паралельного прийому даних регістра 1.2; виходи розрядів $0...2^{n-1}$ регістра 1.1 підключено відповідно до його інверсних входів розрядів $0...2^{n-1}$ та до інформаційних входів $0...2^{n-1}$ мультиплексора 2.1; виходи розрядів $0...2^{n-1}$ регістра 1.3 підключено відповідно до його інверсних входів розрядів $0...2^{n-1}$ та до інформаційних входів $0...2^{n-1}$ мультиплексора 2.3; розряди $0...2^{n-2}-1$ виходу мультиплексора 2.4 підключено до входів розрядів $0...2^{n-2}-1$ регістра 1.2, виходи розрядів якого $0...2^{n-2}-1$ підключені до: розрядів $0...2^{n-2}-1$ нульового інформаційного входу мультиплексора 2.4, розрядів $0...2^{n-2}-1$ першого інформаційного входу мультиплексора 2.5, розрядів $0...2^{n-2}-1$ другого інформаційного входу мультиплексора 2.6, розрядів $0...2^{n-2}-1$ третього інформаційного входу мультиплексора 2.7; розряди $0...2^{n-2}-1$ виходу мультиплексора 2.5 підключено до входів розрядів $0...2^{n-2}-1$ регістра 1.2, виходи розрядів якого $2^{n-2}...2^{n-1}-1$ підключені до: розрядів $0...2^{n-2}-1$ першого інформаційного входу мультиплексора 2.4, розрядів $0...2^{n-2}-1$ нульового інформаційного входу мультиплексора 2.5, розрядів $0...2^{n-2}-1$ другого інформаційного входу мультиплексора 2.6, розрядів $0...2^{n-2}-1$ третього інформаційного входу мультиплексора 2.7; розряди $0...2^{n-2}-1$ виходу мультиплексора 2.6 підключено до входів розрядів $2^{n-1}...3\cdot 2^{n-2}-1$ регістра 1.2, виходи розрядів якого $2^{n-1}...3\cdot 2^{n-2}-1$ підключені до: розрядів $0...2^{n-2}-1$ другого інформаційного входу мультиплексора 2.4, розрядів $0...2^{n-2}-1$ третього інформаційного входу мультиплексора 2.5, розрядів $0...2^{n-2}-1$ нульового інформаційного входу мультиплексора 2.6, розрядів $0...2^{n-2}-1$ першого інформаційного входу мультиплексора 2.7; розряди $0...2^{n-2}-1$ виходу мультиплексора 2.7 підключено до входів розрядів $3\cdot 2^{n-2}-1$ регістра 1.2, виходи розрядів якого $3\cdot 2^{n-2}-1$ підключені до: розрядів $0...2^{n-2}-1$ третього інформаційного входу мультиплексора 2.4, розрядів $0...2^{n-2}-1$ другого інформаційного входу мультиплексора 2.5, розрядів $0...2^{n-2}-1$ нульового інформаційного входу мультиплексора 2.6, розрядів $0...2^{n-2}-1$ нульового інформаційного входу мультиплексора 2.7; виходи розрядів $0...2^{n-2}-1$ регістра 1.2 підключено

відповідно до інформаційних входів $0 \dots 2^n - 1$ мультиплексора 2.2; вихід мультиплексора 2.1 підключено до входу старшого адресного розряду n мультиплексора 2.2; вихід мультиплексора 2.3 підключено до входу адресного розряду $n-1$ мультиплексора 2.2; вихід мультиплексора 2.2 підключено до виходу R пристрою.

- 5 На фіг. 2 та фіг. 3 показано часові діаграми роботи блоків пристрою для $n = 4$, а саме для входів $M1, M2, T, D1, D2, D3$ пристрою, для кодів $RG\ 1.1, RG\ 1.2, RG\ 1.3$ на виходах регістрів 1.1, 1.2, 1.3, для розрядів $A1_1, A1_2, A1_3, A1$ входу $A1$ пристрою, розрядів $A2_1, A2_2$ входу $A2$ пристрою, розрядів $A3_1, A3_2, A3_3, A3_4$ входу $A3$ пристрою, а також виходів $MX\ 2.1, MX\ 2.2$ (вихід R пристрою) та $MX\ 2.3$ мультиплексорів 2.1, 2.2 та 2.3. Часові діаграми розбиті на 8 періодів: I - VIII (періоди I - IV показані на фіг. 2, періоди V-VIII показані на фіг. 3).

Пристрій працює у такий спосіб.

На періоді I виконується програмування пристрою, для чого на вхід T пристрою та відповідно на тактові входи регістрів 1.1, 1.2 та 1.3 подається серія з 2^n тактових імпульсів типу "меандр", а на входи $D1, D2$ та $D2$ і відповідно входи I послідовного прийому даних регістрів 1.1, 1.2, 1.3 надходять послідовні коди, починаючи з молодших розрядів. У даному прикладі коди приймають значення, показані в табл. у двійковій та 16-й (16 СЧ) системах числення.

Таблиця

Приклад кодів для програмування пристрою

Коди	Двійкові розряди																16 СЧ
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
RG1.1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	8000_{16}
RG1.2	0	1	1	1	1	0	0	0	1	0	1	1	0	1	1	0	$78B6_{16}$
RG1.3	1	1	0	0	0	0	0	0	1	0	0	1	1	0	0	0	$C098_{16}$

На періоді II показано роботу пристрою при відсутності несправностей. На входи $A1$ та $A3$ пристрою надходять всі набори значень від 0000_2 до 111_2 , а на вхід $A2$ всі набори значень від 00_2 до 11_2 . Мультиплексори 2.1 та 2.3 одержують ці послідовності наборів на адресні входи $1 \dots 4$, а мультиплексор 2.2 на адресні входи 1 та 2 відповідно. Мультиплексор 2.1 вибирає за цими адресами значення розрядів регістра 1.1 від молодшого 0 до старшого 15, транслюючи на свій вихід послідовність $0 \dots 01_2$. Мультиплексор 2.3 вибирає за цими адресами значення розрядів регістра 1.3 від молодшого 0 до старшого 15, транслюючи на свій вихід послідовність 0001100100000011_2 . Мультиплексор 2.2 приймає вихідну послідовність від мультиплексорів 2.1 на адресний вхід 4, а вихідну послідовність від мультиплексорів 2.3 на адресний вхід 3, формуючи на виході код 0111111101100100_2 .

На періоді III показано роботу пристрою на тих же послідовностях наборів, що подаються на входи $A1, A2$ та $A3$ пристрою, але при константній несправності "1" на виході розряду 5 регістру 1.1. При транслюванні цього помилкового значення розряду 5 на вихід мультиплексора 2.1 далі його приймає на адресний вхід 4 мультиплексор 2.2, вибираючи з виходів регістра 1.2 на вихід R пристрою помилково значення "0" замість значення "1". Помилкове значення на виході R пристрою виділено рамкою.

На періоді IV показано роботу пристрою, що обчислює правильний результат на виході R при константній несправності "1" на виході розряду 5 регістра 1.1 з переходом на другу версію обчислення логічних функцій на виходах мультиплексорів 2.1 та 2.2. Для цього на вхід $M1$ пристрою подається сигнал, за яким відбувається перезапис кодів в регістрах 1.1 та 1.2. Перезапис коду регістра 1.1 виконується зі зміною його значення 8000_{16} на інверсне $7FFF_{16}$ з помилкою у розряді 5. Однак несправний вихід розряду 5 зберігає значення константної несправності "1", яке тепер співпадає з правильним значенням в проінвертованому коді $7FFF_{16}$. Перезапис коду регістра 1.2 відбувається зі зміною між собою місцями його старшої та молодшої половини, що перетворює його значення $78B6_{16}$ на $B678_{16}$. Мультиплексор 2.1 обчислює правильне інверсне значення першої логічної функції, яке подається на адресний розряд 4 мультиплексора 2.2, забезпечуючи вибір значень розрядів регістра 1.2 з іншої половини коду порівняно до прямого значення першої логічної функції. Таким чином, на виході мультиплексора 2.2 та виході пристрою R обчислюється правильне значення, включаючи позицію, виділену на часових діаграмах рамкою, де на попередньому періоді відобразилося помилкове значення.

На періоді V показано роботу пристрою на тих же послідовностях наборів, що подаються на входи $A1, A2$ та $A3$ пристрою, але при константній несправності "0" на виході розряду 14

регістра 1.3. При трансляванні цього помилкового значення розряду 14 на вихід мультиплексора 2.3 далі його приймає на адресний вхід 3 мультиплексор 2.2, вибираючи з виходів регістра 1.2 на вихід R пристрою помилково значення "1" замість значення "0". Помилкове значення на виході R пристрою виділено рамкою.

На періоді VI показано роботу пристрою, що обчислює правильний результат на виході R при константній несправності "0" на виході розряду 14 регістра 1.3 з переходом на другу версію обчислення логічних функцій на виходах мультиплексорів 2.3 та 2.2. Для цього на вхід M2 пристрою подається сигнал, за яким відбувається перезапис кодів в регістрах 1.3 та 1.2. Перезапис коду регістра 1.3 виконується зі зміною його значення $C098_{16}$ на інверсне $3F67_{16}$ з помилкою у розряді 14. Однак несправний вихід розряду 14 зберігає значення константної несправності "0", яке тепер співпадає з правильним значенням в проінвертованому коді $3F67_{16}$. Перезапис коду регістра 1.2 відбувається зі зміною між собою місцями чвертей коду (міняються між собою місцями перша та друга чверть коду, а також міняються між собою місцями третя та четверта чверть коду), що перетворює його значення $78B6_{16}$ на $876B_{16}$. Мультиплексор 2.3 обчислює правильне інверсне значення другої логічної функції, яке подається на адресний вхід 3 мультиплексора 2.2, забезпечуючи вибір значень розрядів регістра 1.2 з іншої частини коду порівняно до прямого значення другої логічної функції. Таким чином, на виході мультиплексора 2.2 та виході пристрою R обчислюється правильне значення, включаючи позицію, виділену на часових діаграмах рамкою, де на попередньому періоді відобразилося помилкове значення.

На періоді VII показано роботу пристрою на тих же послідовностях наборів, що подаються на входи A1, A2 та A3 пристрою, але при одночасній наявності константної несправності "1" на виході розряду 5 регістра 1.1 та константної несправності "0" на виході розряду 14 регістра 1.3. При трансляванні помилкового значення розряду 5 на вихід мультиплексора 2.1 далі його приймає на адресний вхід 4 мультиплексор 2.2, також при трансляванні помилкового значення розряду 14 на вихід мультиплексора 2.3 далі його приймає на адресний вхід 3 мультиплексор 2.2, вибираючи з виходів регістра 1.2 на вихід R пристрою помилково значення "0" замість значення "1" в позиції 5 та "1" замість "0" в позиції 14. Помилкові значення на виході R пристрою виділені рамкою.

На періоді VIII показано роботу пристрою, що обчислює правильний результат на виході R при одночасній наявності константної несправності "1" на виході розряду 5 регістра 1.1 та константної несправності "0" на виході розряду 14 регістра 1.3 з переходом на другу версію обчислення логічних функцій на виходах мультиплексорів 2.1, 2.3 та 2.2. Для цього на входи M1 та M2 пристрою подається сигнал, за яким відбувається перезапис кодів в регістрах 1.1, 1.3 та 1.2. Перезапис коду регістра 1.1 виконується зі зміною його значення 8000_{16} на інверсне $7FFF_{16}$ з помилкою у розряді 5. Перезапис коду регістра 1.3 виконується зі зміною його значення $C098_{16}$ на інверсне $3F67_{16}$ з помилкою у розряді 14. Однак несправний вихід розряду 5 зберігає значення константної несправності "1", яке тепер співпадає з правильним значенням в проінвертованому коді $7FFF_{16}$, а несправний вихід розряду 14 зберігає значення константної несправності "0", яке тепер співпадає з правильним значенням в проінвертованому коді $3F67_{16}$. Перезапис коду регістра 1.2 відбувається з переміною місць його першої та другої чверті, а також третьої та четвертої чверті, а крім того з переміною місць першої та другої половини отриманого коду що перетворює його значення з $78B6_{16}$ на $6B87_{16}$. Мультиплексор 2.1 обчислює правильне інверсне значення першої логічної функції, яке подається на адресний розряд 4 мультиплексора 2.2, мультиплексор 2.3 обчислює правильне інверсне значення другої логічної функції, яке подається на адресний розряд 3 мультиплексора 2.2, забезпечуючи вибір значень розрядів регістра 1.2 з інших частин коду порівняно до прямого значення першої та другої логічної функції. Таким чином, на виході мультиплексора 2.2 та виході пристрою R обчислюються правильні значення, включаючи позиції, виділені на часових діаграмах рамками, де на попередньому періоді відобразилося помилкове значення.

Пристрій може бути використаний для відновлення правильних результатів у разі прояву відмов у LUT-орієнтованій архітектурі програмованих логічних інтегральних схем (LUT: Look-Up Table - кодова таблиця).

Джерела інформації:

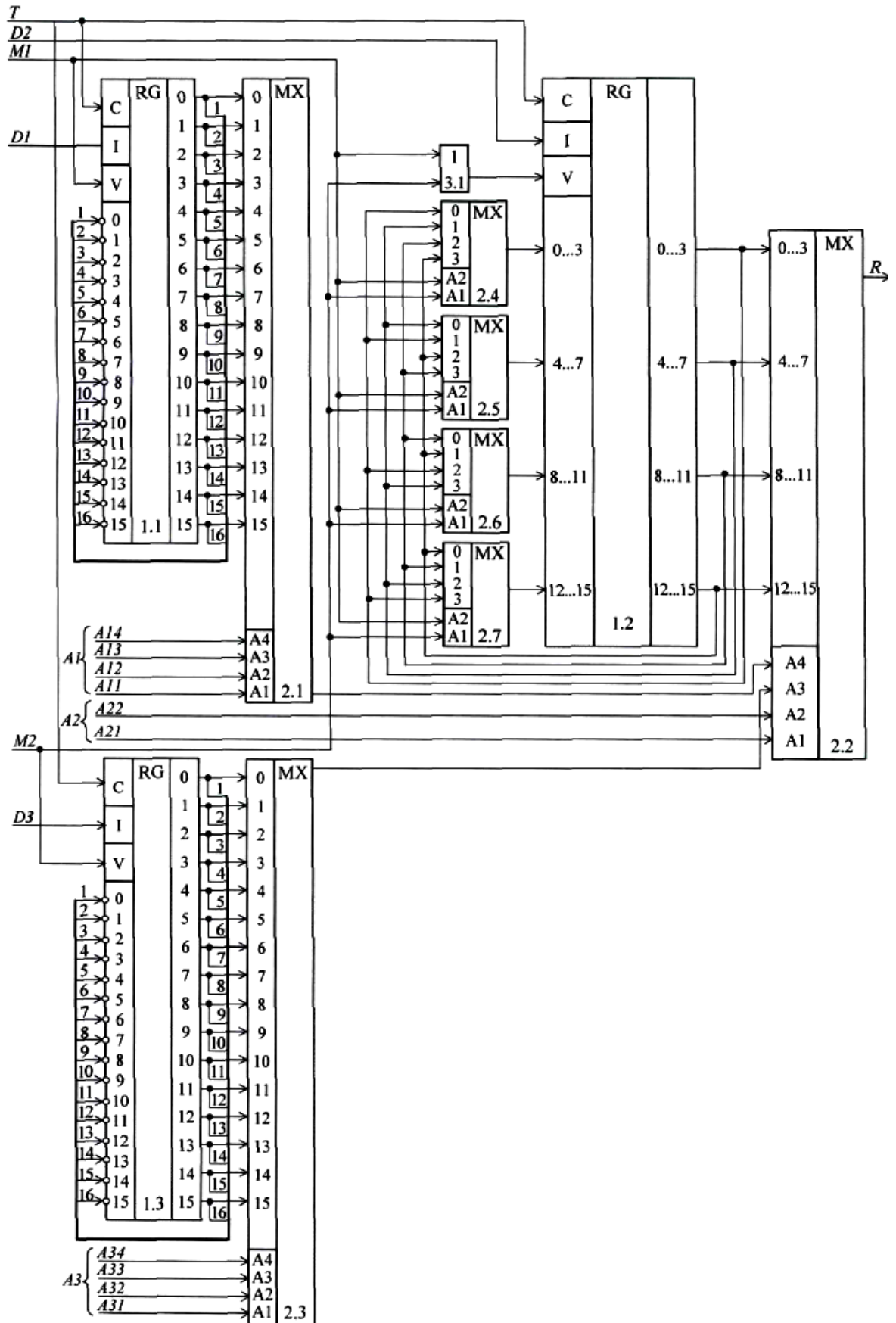
1. Основи цифрових систем / І.П. Барабаш, М.П. Благодатний, В.Я. Жихарев та ін. - Підручник - Харків: Нац. Аерокосмічний ун-т "Харк. авіац. ін-т", 2002. - 672 с., - С. 159, рис. 5.18;
2. Maxfield C. The Design Warrior's Guide to FPGAs, Newnes, 2004 (рис. 3-19, стор. 51). - Режим доступу: http://profs.basu.ac.ir/abdoli/upload_file/722.file_ref.2202.2686.pdf

3. Патент України на винахід № 107437. МПК G06F 11/263 (2006.01). Програмований пристрій / Дрозд О.В., Нестеренко С.А., Дрозд Ю.В., Защолкін К.В., Кузнецов М.О. Заявлено 10.07.2014, опубліковано 25.12.2014, Бюл. № 24.

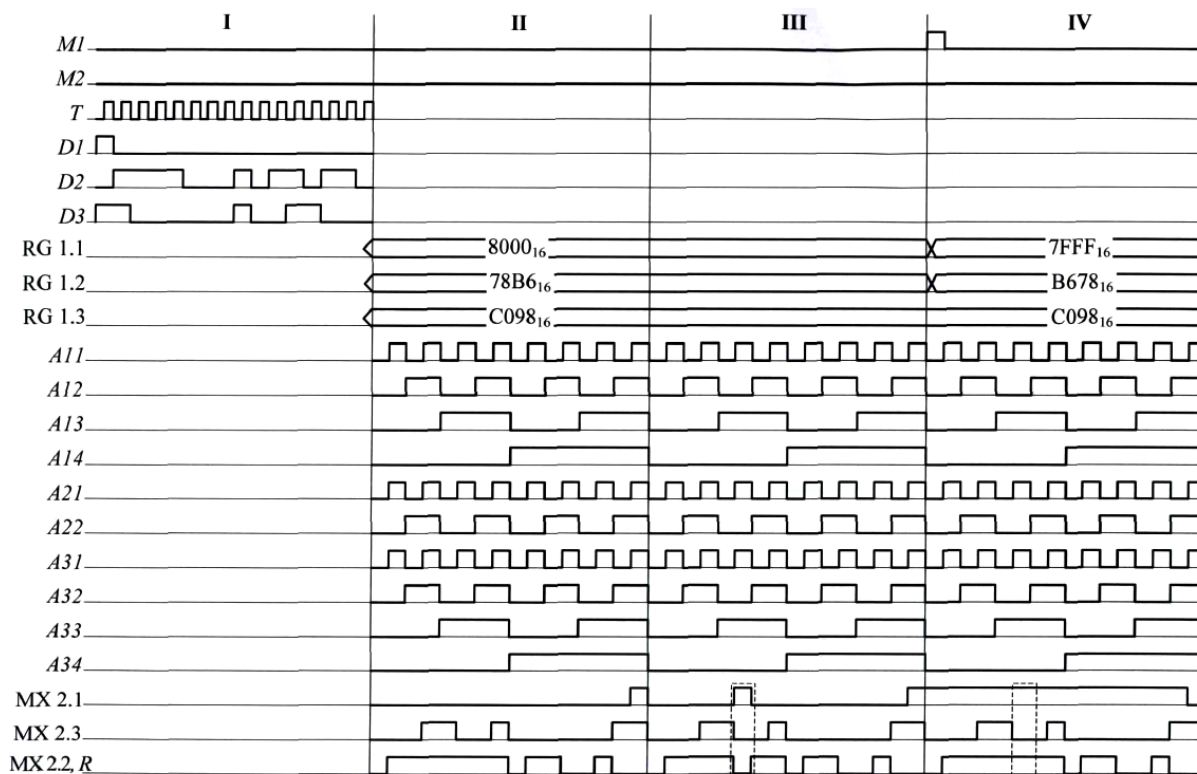
5

ФОРМУЛА ВІНАХОДУ

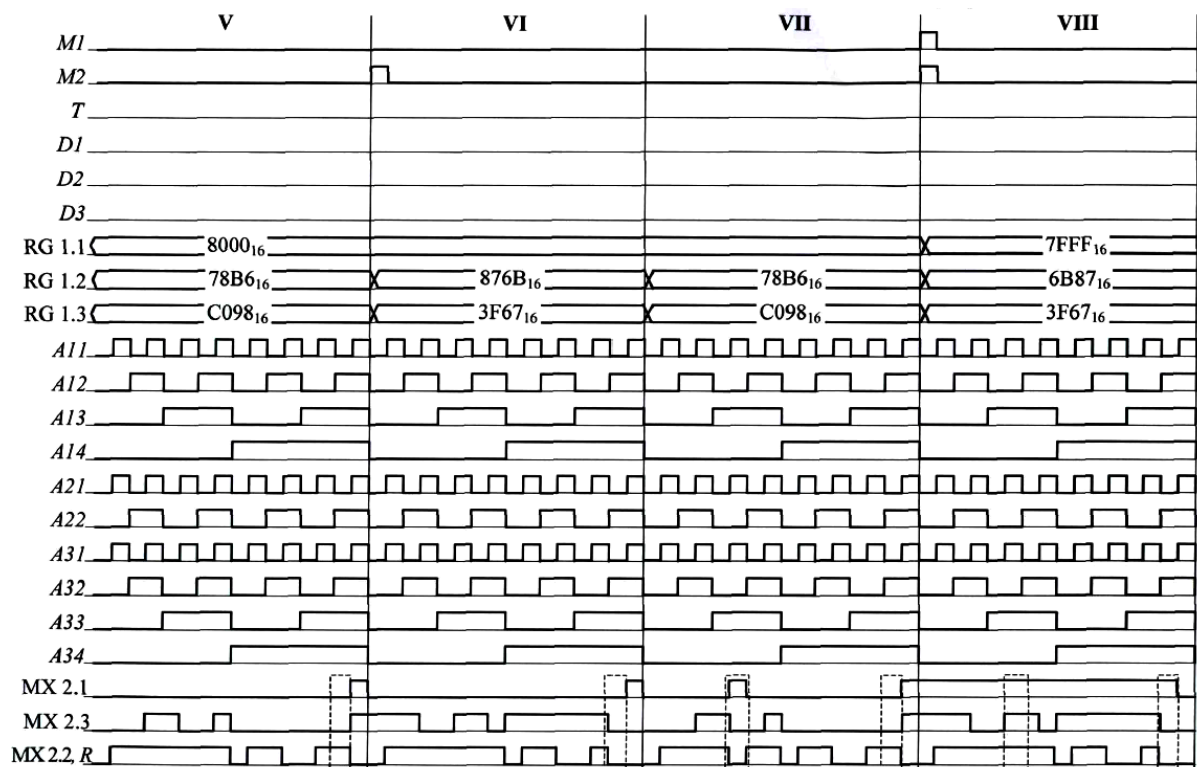
Програмований пристрій, що містить перший 2^n -розрядний регістр, перший n -адресний мультиплексор, другий 2^n -розрядний регістр, другий n -адресний мультиплексор, при цьому тактовий вхід і перший вхід прийому даних пристрою підключено відповідно до тактового входу і входу послідовного прийому даних першого регістра, виходи розрядів $0 \dots 2^n - 1$ першого регістра підключено відповідно до інформаційних входів $0 \dots 2^n - 1$ першого мультиплексора, входи n адресних розрядів $1 \dots n$ першого мультиплексора є першим адресним входом пристрою, тактовий вхід і другий вхід прийому даних пристрою підключено відповідно до тактового входу та входу послідовного прийому даних другого регістра, входи молодших адресних розрядів $1 \dots n - 2$ другого мультиплексора є другим адресним входом пристрою, виходи розрядів $0 \dots 2^n - 1$ першого регістра підключено відповідно до його інверсних входів розрядів $0 \dots 2^n - 1$, виходи розрядів $0 \dots 2^n - 1$ другого регістра підключено відповідно до інформаційних входів $0 \dots 2^n - 1$ другого мультиплексора, вихід першого мультиплексора підключено до входу адресного розряду $n - 1$ другого мультиплексора, вихід другого мультиплексора підключено до виходу пристрою, який **відрізняється** тим, що введено третій 2^n -розрядний регістр; третій n -адресний мультиплексор; чотири 2-адресних мультиплексори, елемент АБО, при цьому тактовий вхід і третій вхід прийому даних пристрою підключено відповідно до тактового входу та входу послідовного прийому даних третього регістра; виходи розрядів $0 \dots 2^n - 1$ третього регістра підключено відповідно до інформаційних входів $0 \dots 2^n - 1$ третього мультиплексора, входи n адресних розрядів $1 \dots n$ третього мультиплексора є третім адресним входом пристрою; виходи розрядів $0 \dots 2^n - 1$ третього регістра підключено відповідно до його інверсних входів розрядів $0 \dots 2^n - 1$; вихід третього мультиплексора підключено до входу старшого адресного розряду n другого мультиплексора; розряди $0 \dots 2^{n-2} - 1$ виходу першого 2-адресного мультиплексора підключено до входів розрядів $0 \dots 2^{n-2} - 1$ другого регістра, виходи розрядів якого $0 \dots 2^{n-2} - 1$ підключені до: розрядів $0 \dots 2^{n-2} - 1$ нульового інформаційного входу першого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ першого інформаційного входу другого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ другого інформаційного входу третього 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ третього інформаційного входу четвертого 2-адресного мультиплексора; розряди $0 \dots 2^{n-2} - 1$ виходу другого 2-адресного мультиплексора підключено до входів розрядів $2^{n-2} \dots 2^{n-1} - 1$ другого регістра, виходи розрядів якого $2^{n-2} \dots 2^{n-1} - 1$ підключені до: розрядів $0 \dots 2^{n-2} - 1$ першого інформаційного входу першого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ нульового інформаційного входу другого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ третього інформаційного входу третього 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ другого інформаційного входу четвертого 2-адресного мультиплексора; розряди $0 \dots 2^{n-2} - 1$ виходу третього 2-адресного мультиплексора підключено до входів розрядів $2^{n-1} \dots 3 \cdot 2^{n-2} - 1$ другого регістра, виходи розрядів якого $2^{n-1} \dots 3 \cdot 2^{n-2} - 1$ підключені до: розрядів $0 \dots 2^{n-2} - 1$ другого інформаційного входу першого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ третього інформаційного входу другого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ нульового інформаційного входу третього 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ першого інформаційного входу четвертого 2-адресного мультиплексора; розряди $0 \dots 2^{n-2} - 1$ виходу четвертого 2-адресного мультиплексора підключено до входів розрядів $3 \cdot 2^{n-2} \dots 2^n - 1$ другого регістра, виходи розрядів якого $3 \cdot 2^{n-2} \dots 2^n - 1$ підключені до: розрядів $0 \dots 2^{n-2} - 1$ третього інформаційного входу першого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ другого інформаційного входу другого 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ першого інформаційного входу третього 2-адресного мультиплексора, розрядів $0 \dots 2^{n-2} - 1$ нульового інформаційного входу четвертого 2-адресного мультиплексора; перший вхід режиму пристрою підключено до входу дозволу паралельного прийому даних першого регістра, до першого входу елемента АБО, а також до входу старшого адресного розряду кожного з 2-адресних мультиплексорів; другий вхід режиму пристрою підключено до входу дозволу паралельного прийому даних третього регістра, до другого входу елемента АБО, а також до входу молодшого адресного розряду кожного з 2-адресних мультиплексорів; вихід елемента АБО підключено до входу дозволу паралельного прийому даних другого регістра.



Фиг. 1



Фиг. 2.



Фиг. 3.

Комп'ютерна верстка М. Мацело

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601